

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hiroyuki NANSEI, et al.**

Serial No.: **Not Yet Assigned**

Filed: **August 20, 2003**

For. **SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING
SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 20, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-256195, filed August 30, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.
Reg. No. 22,631

WGK/ll
Atty. Docket No. 030993
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-256195

[ST.10/C]:

[JP2002-256195]

出 願 人

Applicant(s):

富士通エイ・エム・ディ・セミコンダクタ株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3019273

【書類名】 特許願

【整理番号】 0200023

【提出日】 平成14年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体記憶装置及び半導体装置の製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 南晴 宏之

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 中村 学

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 世良 賢太郎

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 東 雅彦

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 宇津野 五大

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エ

ム・ディ・セミコンダクタ株式会社内

【氏名】 高木 英雄

【発明者】

【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

【氏名】 鍛冶田 達也

【特許出願人】

【識別番号】 596180124

【氏名又は名称】 富士通エイ・エム・ディ・セミコンダクタ株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0115175

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 下部シリコン酸化膜を形成する工程と、
前記下部シリコン酸化膜上にシリコン膜を形成する工程と、
前記シリコン膜をプラズマ窒化法により完全に窒化し、前記下部シリコン酸化膜上にシリコン窒化膜を形成する工程と

を含み、

少なくとも前記下部シリコン酸化膜及び前記シリコン窒化膜を含む多層絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 前記シリコン窒化膜の表面をプラズマ酸化法により酸化し、上部シリコン酸化膜を形成する工程を更に含み、

前記下部シリコン酸化膜、前記シリコン窒化膜、及び前記上部シリコン酸化膜からなる前記多層絶縁膜を形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記シリコン窒化膜がメモリセルの電荷蓄積膜であることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記多層絶縁膜をメモリセルにおける浮遊ゲートと制御ゲートとの間に設けられる誘電体膜として形成することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 5】 前記プラズマ酸化法により、前記上部シリコン酸化膜とともに、周辺回路領域にゲート絶縁膜を同時形成することを特徴とする請求項 2 ～ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記シリコン窒化膜を、窒素を含むソースガスの雰囲気中でマイクロ波によりプラズマを励起して窒素ラジカルを発生させ、窒化処理を行なうことにより形成することを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】 前記上部シリコン酸化膜を、酸素を含むソースガスの雰囲気中でマイクロ波によりプラズマを励起して酸素ラジカルを発生させ、酸化処理を

行なうことにより形成することを特徴とする請求項 2 ～ 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 シリコン領域の表面をプラズマ窒化法により窒化し、シリコン窒化膜を形成する工程と、

前記シリコン窒化膜の表面及び前記シリコン領域の前記シリコン窒化膜との界面を同時にプラズマ酸化法により酸化し、前記表面に上部シリコン酸化膜を、前記界面に下部シリコン酸化膜を同時形成する工程と

を含み、

前記下部シリコン酸化膜、前記シリコン窒化膜、及び前記上部シリコン酸化膜からなる多層絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 9】 下部シリコン酸化膜を形成する工程と、

前記下部シリコン酸化膜上に C V D 法によりシリコン窒化膜を形成する工程と

前記シリコン窒化膜の表面をプラズマ酸化法により酸化する工程と

を含み、

前記下部シリコン酸化膜、前記シリコン窒化膜、及び上部シリコン酸化膜からなる多層絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 1 0】 半導体基板と、

前記半導体基板上に形成され、電荷捕獲機能を有するシリコン窒化膜を含む絶縁膜と、

前記絶縁膜を介して前記半導体基板上に形成されたゲート電極と、

前記半導体基板に形成された一対の不純物拡散層と

を含むメモリセルを有し、

前記シリコン窒化膜は、マイクロ波励起のプラズマ窒化のみ又は前記プラズマ窒化を含む一連の工程により形成されてなる均一且つ緻密構造の窒化膜であることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、窒化膜を含むゲート絶縁膜又は誘電体膜を有する半導体装置の製造方法、及びその窒化膜に電荷を蓄積することにより情報を保持することが可能な半導体記憶装置に関する。

【0002】

【従来の技術】

近年、半導体記憶装置のメモリセルにおいて、シリコン酸化膜上にシリコン窒化膜が積層されてなるON膜や、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜が順次積層されてなるONO膜が用いられている。

【0003】

ON膜やONO膜等の多層絶縁膜（以下、単に多層絶縁膜と記す場合がある。）は、メモリセル毎に電荷蓄積部である島状の浮遊ゲートを有するフローティングゲート型の不揮発性半導体メモリ（以下、単にフローティングゲート型メモリと記す。）においては、高誘電率で低リーク電流の容量絶縁膜として用いられ、シリコン窒化膜を電荷蓄積部とするSONOS型やMNOS型の不揮発性半導体メモリ（以下、単にSONOS型（MNOS型）メモリと記す。）においては、当該電荷蓄積部のゲート絶縁膜として用いられている。

【0004】

【発明が解決しようとする課題】

近時では、半導体メモリの微細化及び高性能化の要請が更に高まる傾向にあり、これに伴い多層絶縁膜の形成に際して、以下のような深刻な諸問題が浮上している。

【0005】

－水素発生の影響－

SONOSやMNOS型メモリ等におけるONO膜及びON膜の最下層の下部シリコン酸化膜はトンネル酸化膜として機能するものであり、極めて高い信頼性が要求されることから、一般にドライ酸化においては1000℃以上、ウェット酸化においては800℃以上の温度条件におけるシリコン表面の熱酸化により形成される。

【0006】

続いて、下部シリコン酸化膜上に、電荷蓄積部となるシリコン窒化膜が形成される。これは、アンモニアとシランを原料ガスとした熱CVD法により堆積され、高い均一性が要求されることに加え、以下の理由から、温度条件は700℃～900℃の高温に設定される。

【0007】

ここで、SONOS型メモリについて、シリコン窒化膜の堆積温度と高温放置による閾値(V_t)シフトとの関係を調べた結果を図36に示す。この特性図に示すように、シリコン窒化膜の堆積温度が高いほど V_t シフト量が低下し良好となることが判る。これは、以下の原因によるものと推察される。

【0008】

シリコン窒化膜の形成に際して、原料ガスから多量の水素が生成され、シリコン窒化膜の堆積と同時に下部シリコン酸化膜内に侵入し、これと同時にシリコン窒化膜中にも多量の水素が閉じ込められる。ここで、多層絶縁膜としてONO膜を形成する場合においては、更にシリコン窒化膜の表面を熱酸化することにより上部シリコン酸化膜を形成するが、高温で長時間の熱処理を要するためにシリコン窒化膜中に閉じ込められていた水素が拡散し、下部シリコン酸化膜内に侵入する。この下部シリコン酸化膜への水素の侵入に起因して、下部シリコン酸化の膜質劣化を招来することが判明している。

【0009】

シリコン窒化膜の堆積温度が高いとシリコン窒化膜中に閉じ込められる水素が少なくなり、後続の工程で拡散による下部シリコン酸化膜への水素の侵入量が低減する。これにより、 V_t シフト量が低下するものと考えられる。従って、水素発生を抑制して下部シリコン酸化膜の膜質を向上させ、良好な V_t シフトを得るには、シリコン窒化膜をできるだけ高温で形成することが必要である。

【0010】

このことは、フローティングゲート型メモリでも同様であり、多層絶縁膜の形成に高温を要することから、浮遊ゲートを通して水素が下層シリコン酸化膜に到達し、これにより下層シリコン酸化膜のトンネル酸化膜としての品質の劣化を招くことになる。

【 0 0 1 1 】

－高温プロセスの影響－

このように、電荷蓄積膜又は誘電体膜として機能するシリコン窒化膜を含む多層絶縁膜を形成するには高温の温度条件を要するが、これは以下に示すように素子の微細化を妨げる。

【 0 0 1 2 】

多層絶縁膜を有する前記各メモリでは、例えばLOCOS法やSTI (Shallow Trench Isolation) 法により素子分離構造を形成する場合、基板に不純物を導入してウェルを形成した後に多層絶縁膜を形成することになるが、このときの上記した高温処理により、ウェルの不純物が熱拡散してしまい、素子の微細化が困難となる。

【 0 0 1 3 】

特に、埋め込みビットライン兼用のソース／ドレインを有するメモリにおいては、前記高温処理による不純物の熱拡散を防止すべく、多層絶縁膜を形成した後にソース／ドレインを形成すると、不純物のイオン注入により多層絶縁膜に欠陥を生じ、リーク電流の増加や信頼性の低下を招くという問題がある。

【 0 0 1 4 】

このように、半導体メモリの更なる微細化及び高性能化を図るべく、ON膜やONO膜等の多層絶縁膜を熱CVD法及び熱酸化法により形成するも、高温処理が必須となるために素子の微細化を妨げ、高性能の半導体メモリの実現が困難であるという現況にある。

【 0 0 1 5 】

本発明は、上記した課題に鑑みてなされたものであり、ON膜やONO膜等の多層絶縁膜を低温で高品質に形成し、信頼性の高い半導体装置及び半導体記憶装置の製造方法を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【 0 0 1 7 】

本発明の半導体装置の製造方法は、下部シリコン酸化膜を形成する工程と、前記下部シリコン酸化膜上にシリコン膜を形成する工程と、前記シリコン膜をプラズマ窒化法により完全に窒化し、前記下部シリコン酸化膜上にシリコン窒化膜を形成する工程とを含み、少なくとも前記下部シリコン酸化膜及び前記シリコン窒化膜を含む多層絶縁膜を形成する。

【 0 0 1 8 】

本発明の半導体装置の製造方法は、シリコン領域の表面をプラズマ窒化法により窒化し、シリコン窒化膜を形成する工程と、前記シリコン窒化膜の表面及び前記シリコン領域の前記シリコン窒化膜との界面を同時にプラズマ酸化法により酸化し、前記表面に上部シリコン酸化膜を、前記界面に下部シリコン酸化膜を同時形成する工程とを含み、前記下部シリコン酸化膜、前記シリコン窒化膜、及び前記上部シリコン酸化膜からなる多層絶縁膜を形成する。

【 0 0 1 9 】

本発明の半導体装置の製造方法は、下部シリコン酸化膜を形成する工程と、前記下部シリコン酸化膜上にCVD法によりシリコン窒化膜を形成する工程と、前記シリコン窒化膜の表面をプラズマ酸化法により酸化する工程とを含み、前記下部シリコン酸化膜、前記シリコン窒化膜、及び上部シリコン酸化膜からなる多層絶縁膜を形成する。

【 0 0 2 0 】

本発明の半導体記憶装置は、半導体基板と、前記半導体基板上に形成され、電荷捕獲機能を有するシリコン窒化膜を含む絶縁膜と、前記絶縁膜を介して前記半導体基板上に形成されたゲート電極と、前記半導体基板に形成された一对の不純物拡散層とを含むメモリセルを有し、前記シリコン窒化膜は、マイクロ波励起のプラズマ窒化のみ又は前記プラズマ窒化を含む一連の工程により形成されてなる均一且つ緻密構造の窒化膜である。

【 0 0 2 1 】

本発明の半導体記憶装置は、半導体基板と、前記半導体基板上に形成されたゲート絶縁膜と、前記絶縁膜を介して前記半導体基板上に形成された電荷蓄積機能を有する島状の浮遊ゲートと、前記浮遊ゲート上に形成された誘電体膜と、前記

浮遊ゲート上に前記誘電体膜を介して形成された制御ゲートと、前記半導体基板に形成された一対の不純物拡散層とを含み、前記誘電体膜は、マイクロ波励起のプラズマ窒化のみ又は前記プラズマ窒化を含む一連の工程により形成されてなる均一且つ緻密構造のシリコン窒化膜を含む。

【 0 0 2 2 】

【発明の実施の形態】

ー本発明の基本骨子ー

先ず、本発明の基本骨子について説明する。

【 0 0 2 3 】

本発明では、製造プロセス全体を通じて低温条件、具体的には、R T A等の1分以内程度での急速昇温、降温を行なう処理を除き、数分程度以上にわたって熱がかかる処理については、6 0 0℃以下の低温条件で半導体記憶装置を製造することことを考慮し、このシリコン窒化膜を形成するに際して、高温を要するC V D法に替わり、励起したプラズマにより形成した窒化物のラジカルを用いた窒化处理（プラズマ窒化法）を採用する。更に、シリコン窒化膜のみならず、多層絶縁膜のシリコン酸化膜を同様にプラズマ酸化法により形成する。

【 0 0 2 4 】

このプラズマ窒化法は、H e, N e, A r, K r, X e, R nのうちの1種又は複数種の希ガスに加えて窒素原子を含むソースガス、例えば前記希ガスに加えてN H₃ガス、N₂とH₂の混合ガス及びN₂ガスから選ばれた1種、又はN H₃ガスとN₂ガスの混合ガス、又はN H₃ガス、N₂及びH₂の混合ガスを含む雰囲気中でマイクロ波によりプラズマを励起して窒化物ラジカル（N H*ラジカル又はN*ラジカル）を発生させ、窒化处理を行なう手法である。この手法によれば、2 0 0℃～6 0 0℃程度の低温で緻密且つ良質のプラズマ窒化膜を得ることができる。なお、ソースガスの含有する希ガスとしては、A r, K rが好適であり、K rで最も良質のプラズマ窒化膜が得られる。また、水素を含有するものでは酸化レートが高い。

【 0 0 2 5 】

また、プラズマ酸化法は、H e, N e, A r, K r, X e, R nのうちの1種

又は複数種の希ガスに加えて酸素原子を含むソースガス、例えば前記希ガスに加えて O_2 、 O_2 と H_2 の混合ガス及び H_2O ガスから選ばれた1種、または O_2 と H_2O ガスの混合ガス、または O_2 、 H_2 及び H_2O ガスの混合ガスを含む雰囲気中でマイクロ波によりプラズマを励起して酸化物ラジカル（ O^* ラジカル又は OH^* ラジカル）を発生させ、酸化処理を行なう手法である。この手法によれば、 $200^{\circ}C \sim 600^{\circ}C$ 程度の低温で緻密且つ良質のプラズマ酸化膜を得ることができる。なお、ソースガスの含有する希ガスとしては、 Ar 、 Kr が好適であり、 Kr で最も良質のプラズマ窒化膜が得られる。また、水素を含有するものでは酸化レートが高い。

【 0 0 2 6 】

しかしながら、このプラズマ窒化法及びプラズマ酸化法を用いる場合、以下のような不都合がある。

通常、半導体メモリの製造に際して、メモリセル領域を含む全面に ON 膜や NO 膜等の多層絶縁膜を形成した後、周辺回路領域の多層絶縁膜を除去し、当該周辺回路領域に熱酸化によりゲート絶縁膜を形成する。この場合、メモリセル領域は多層絶縁膜で覆われており、そのシリコン窒化膜は基板表面に比べて酸化レートが $1/30$ 以下と非常に遅いうえに、シリコン窒化膜が O_2 を通さないため、多層絶縁膜の上部シリコン酸化膜が僅かに増加するに留まる。この事情は、ゲート絶縁膜として酸窒化膜を形成する場合でも同様であり、シリコン窒化膜が N_2O や NO を通さないため、メモリセルの多層絶縁膜はさほど影響を受けない。

【 0 0 2 7 】

ところが、周辺回路領域のゲート絶縁膜を形成する際に、上述したプラズマ酸化法やプラズマ窒化法を用いようとする、 O^* ラジカル又は OH^* ラジカルの酸化力、又は NH^* ラジカル又は N^* ラジカルの窒化力が極めて強いため、ゲート絶縁膜としてシリコン酸化膜を形成する場合にはメモリセルの多層絶縁膜のシリコン窒化膜が酸化され、ゲート絶縁膜としてシリコン酸窒化膜を形成する場合には更に多層絶縁膜のシリコン酸化膜が窒化されてしまう。このとき、例えば多層絶縁膜のシリコン窒化膜が酸化されてなるシリコン酸化膜の成長レートは、シリコン基板を酸化して形成されるシリコン酸化膜の成長レートの約 0.8 倍と同

程度であるため、シリコン窒化膜がシリコン酸化膜に（又はシリコン酸化膜がシリコン窒化膜に）置き換わることになる。

【 0 0 2 8 】

本発明者は、プラズマ窒化法やプラズマ酸化法を用いて低温で緻密且つ良質の多層絶縁膜を形成するも、水素の発生を伴わず、しかも周辺回路、特にそのゲート絶縁膜を多層絶縁膜との関係で不都合を生ぜしめることなくプラズマ窒化法により首尾良く形成することを考慮し、以下に示す発明の諸態様に想到した。

【 0 0 2 9 】

（第 1 の態様）

始めに、第 1 の態様について説明する。図 1 は、第 1 の態様を説明するための模式図である。ここでは、メモリセル領域に ONO 膜を、周辺回路領域にゲート絶縁膜を形成する場合をモデルに採り例示する。

【 0 0 3 0 】

本態様では、先ず図 1（a）に示すように、シリコン半導体基板のメモリセル領域、又はこのメモリセル領域に形成された多結晶シリコン膜或いはアモルファスシリコン（a-Si）膜（例えば島状の浮遊ゲート）であるシリコン領域 1 0 1 上に下部シリコン酸化膜 1 0 2 を形成した後、例えば熱 CVD 法により下部シリコン酸化膜 1 0 2 上にシリコン膜 1 0 3 を形成する。シリコン膜 1 0 3 としては、多結晶シリコン膜でも a-Si 膜でも良いが、a-Si 膜の場合、5 7 5℃以下、例えば 5 3 0℃の低温条件で成長させることができる。原料ガスとしては水素原子を含むシランが一般に用いられるが、アンモニアを含まないために水素の発生が少ない。但し、堆積ムラによる言わば「空隙」の発生を抑止するため、シリコン膜 1 0 3 を 5 n m 以上の膜厚に形成する必要がある。

【 0 0 3 1 】

続いて、図 1（b）に示すように、シリコン膜 1 0 3 を上述のプラズマ窒化法により完全に窒化し、シリコン窒化膜 1 0 4 に置き換える。このときの温度条件は 5 3 0℃以下の低温、例えば 4 0 0℃で良好な処理が可能である。この低温処理により、シリコン窒化膜中の水素が脱離し、下部シリコン酸化膜へ拡散することを抑止することができる。更には、ラジカルとして N*ラジカルのみを発生さ

せるようにすれば、そもそも原料ガスに水素を用いることなくプラズマ処理を行なうことが可能となる。

【0032】

続いて、図1(c)に示すように、シリコン窒化膜104の表層を上述のプラズマ酸化法により酸化し、当該表層を上部シリコン酸化膜105に置き換え、下部シリコン酸化膜102、シリコン窒化膜104、及び上部シリコン酸化膜105からなる多層絶縁膜であるONO膜111を形成する。上部シリコン酸化膜105の形成時の温度条件は530℃以下の低温、例えば400℃で良好な処理が可能である。更には、ラジカルとしてO*ラジカルのみを発生させるようにすれば、原料ガスに水素を用いることなくプラズマ処理を行なうことが可能となる。

【0033】

このとき、前記プラズマ酸化法により、上部シリコン酸化膜105とともに半導体基板の周辺回路領域にゲート絶縁膜112を同時形成するようにしても良い。これにより、熱履歴を低温且つ短時間化し、素子の微細化に対応することができる。この場合、従来のようにONO膜を形成した後に周辺回路領域のゲート絶縁膜を形成する場合と異なり、ONO膜111の形成途中（下部シリコン酸化膜102及びシリコン窒化膜104が形成された状態）で上部シリコン酸化膜105の形成のためのプラズマ酸化によりゲート絶縁膜112を同時形成するため、プラズマ酸化の強い酸化力による影響を懸念する必要はない。

【0034】

ここで、上部シリコン酸化膜105についてプラズマ酸化の強い酸化力による影響を懸念する必要がないのは、膜厚を制御する必要はあるものの、同時に酸化することにより余分に酸化しないことに基づき、下部シリコン酸化膜102について下地へのラジカル到達による酸化を懸念する必要がないのは、適当な膜厚を選んでいることに基づく。ここで、上部シリコン酸化膜105を形成する際に、下部シリコン酸化膜102及びシリコン窒化膜104の合計膜厚が15nm程度以上あれば良い。

【0035】

(第2の態様)

次に、第 2 の態様について説明する。図 2 は、第 2 の態様を説明するための模式図である。ここでも、メモリセル領域に ONO 膜を、周辺回路領域にゲート絶縁膜を形成する場合をモデルに採り例示する。

【 0 0 3 6 】

本態様では、先ず図 2 (a) に示すように、シリコン半導体基板のメモリセル領域、又はこのメモリセル領域に形成された多結晶シリコン膜或いは a - S i 膜（例えば島状の浮遊ゲート）であるシリコン領域 2 0 1 の表層を上述のプラズマ窒化法により窒化し、シリコン窒化膜 2 0 2 を形成する。このときの温度条件は 5 3 0 ℃以下の低温、例えば 4 0 0 ℃で良好な処理が可能である。この低温処理により、シリコン窒化膜中の水素が脱離し、下部シリコン酸化膜へ拡散することを抑止することができる。更には、ラジカルとして N * ラジカルのみを発生させるようにすれば、原料ガスに水素を用いることなくプラズマ処理を行なうことが可能となる。

【 0 0 3 7 】

続いて、図 2 (b) に示すように、シリコン窒化膜 2 0 2 の表層を上述のプラズマ酸化法により酸化する。このとき、上記のプラズマ窒化によりシリコン窒化膜 2 0 2 を 1 5 n m 以下の膜厚に形成しておくことにより、シリコン窒化膜 2 0 2 の表層のみならずシリコン領域 2 0 1 のシリコン窒化膜 2 0 2 との界面も酸化され、下部シリコン酸化膜 2 0 3、シリコン窒化膜 2 0 2、及び上部シリコン酸化膜 2 0 4 からなる多層絶縁膜である ONO 膜 2 1 1 が形成される。下部シリコン酸化膜 2 0 3 及び上部シリコン酸化膜 2 0 5 の形成時の温度条件は 5 3 0 ℃以下の低温、例えば 4 0 0 ℃で良好な処理が可能である。更には、ラジカルとして O * ラジカルのみを発生させるようにすれば、原料ガスに水素を用いることなくプラズマ処理を行なうことが可能となる。

【 0 0 3 8 】

このとき、第 1 の態様と同様に、前記プラズマ酸化法により、下部シリコン酸化膜 2 0 3 及び上部シリコン酸化膜 2 0 5 とともに半導体基板の周辺回路領域にゲート絶縁膜 2 1 2 を同時形成するようにしても良い。これにより、熱履歴を低温且つ短時間化し、素子の微細化に対応することができる。この場合、従来のよ

うにONO膜を形成した後に周辺回路領域のゲート絶縁膜を形成する場合と異なり、ONO膜211の形成途中（シリコン窒化膜202が形成された状態）で下部シリコン酸化膜203及び上部シリコン酸化膜205の形成のためのプラズマ酸化によりゲート絶縁膜212を同時形成するため、プラズマ酸化の強い酸化力をうまく利用することができる。

【0039】

本態様では、ONO膜を形成するに際して、CVD法を全く使用せずにシリコンから直接的に窒化膜及び酸化膜を形成するため、リーク電流の少ない極めて高品質のONO膜を形成することができる。

【0040】

（第3の態様）

次に、第3の態様について説明する。図3は、第3の態様を説明するための模式図である。ここでも、メモリセル領域にONO膜を、周辺回路領域にゲート絶縁膜を形成する場合をモデルに採り例示する。

【0041】

本態様では、先ず図3（a）に示すように、シリコン半導体基板のメモリセル領域、又はこのメモリセル領域に形成された多結晶シリコン膜或いはa-Si膜（例えば島状の浮遊ゲート）であるシリコン領域301上に下部シリコン酸化膜302を形成した後、例えば熱CVD法又はプラズマCVD法により下部シリコン酸化膜302上にシリコン窒化膜303を形成する。CVD法により形成されたシリコン窒化膜は多くの格子欠陥を含むため、これを電荷蓄積膜として用いる場合に適している。

【0042】

続いて、図3（b）に示すように、シリコン窒化膜303の表層を上述のプラズマ酸化法により酸化し、当該表層を上部シリコン酸化膜304に置き換え、下部シリコン酸化膜302、シリコン窒化膜303、及び上部シリコン酸化膜304からなる多層絶縁膜であるONO膜311を形成する。上部シリコン酸化膜304の形成時の温度条件は530℃以下の低温、例えば400℃で良好な処理が可能である。更には、ラジカルとしてO*ラジカルのみを発生させるようにすれ

ば、原料ガスに水素を用いることなくプラズマ処理を行なうことが可能となる。

【 0 0 4 3 】

このとき、前記プラズマ酸化法により、上部シリコン酸化膜 3 0 4 とともに半導体基板の周辺回路領域にゲート絶縁膜 3 1 2 を同時形成するようにしても良い。これにより、熱履歴を低温且つ短時間化し、素子の微細化に対応することができる。この場合、従来のようにONO膜を形成した後に周辺回路領域のゲート絶縁膜を形成する場合と異なり、ONO膜 3 1 1 の形成途中（下部シリコン酸化膜 3 0 2 及びシリコン窒化膜 3 0 3 が形成された状態）で上部シリコン酸化膜 3 0 4 の形成のためのプラズマ酸化によりゲート絶縁膜 3 1 2 を同時形成するため、プラズマ酸化の強い酸化力をうまく利用することができる。

【 0 0 4 4 】

－具体的な諸実施形態－

以下、上述した本発明の基本骨子を踏まえ、具体的な諸実施形態について説明する。

【 0 0 4 5 】

（第 1 の実施形態）

本実施形態では、埋め込みビットライン型のSONOS構造の半導体記憶装置を開示する。なお便宜上、当該半導体記憶装置の構造をその製造方法と共に説明する。

【 0 0 4 6 】

この半導体記憶装置は、メモリセル領域のSONOSTランジスタがプレーナ型とされており、周辺回路領域にはCMOSTランジスタが形成されてなるものである。

図 4 ～ 図 1 3 は、本実施形態による埋め込みビットライン型のSONOSTランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。ここで、各図の（a）がメモリセル領域（コア領域）、（b）が周辺回路領域を示しており、（a）の左側がゲート電極（ワードライン）に平行な断面（X断面）、右側がゲート電極に垂直な断面（Y断面）にそれぞれ対応している。

【 0 0 4 7 】

先ず、図4に示すように、周辺回路領域12に素子分離構造を形成し、素子活性領域を画定する。

ここでは、いわゆるSTI (Shallow Trench Isolation) 法により、p型シリコン半導体基板1の周辺回路領域12における素子分離領域に溝を形成し、この溝を絶縁物で充填してSTI素子分離構造2を形成して素子活性領域を画定する。なお、本実施形態ではプレーナ型のメモリを開示するため、コア領域には素子分離構造を形成しない。

【0048】

続いて、周辺回路領域12にウェル3，4，5を形成する。

具体的には、n型領域については、周辺回路領域12のn型領域のみにn型不純物、例えばリン(P)や砒素(As)等をイオン注入した後、アニール処理により不純物を熱拡散させ、n型領域にnウェル3を形成する。他方、p型領域については、周辺回路領域12のp型領域のみに先ずn型不純物、例えばリン(P)や砒素(As)等を深くイオン注入し、続いてp型不純物、例えばホウ素(B)をn型不純物よりも浅くイオン注入した後、アニール処理により不純物を熱拡散させ、p型領域でトリプルウェル構造となるように、深いnウェル4及び当該nウェル4内にpウェル5を形成する。

【0049】

続いて、半導体基板1のコア領域11にビットライン拡散層6を形成する。

具体的には、リソグラフィーによりビットライン形状のレジストマスク(不図示)を形成し、これをマスクとしてn型不純物、ここでは砒素(As)をイオン注入する。ここでは、ビットライン抵抗を低減するため、 2.0×10^{14} (/cm²)以上のドーズ量でイオン注入する。これにより、ソース/ドレインと兼用のビットライン拡散層6が形成される。

【0050】

続いて、前記レジストマスクを灰化处理等により除去した後、周辺回路領域12のp型領域のみを覆うレジストマスク(不図示)を形成し、これをマスクとして閾値調節用のホウ素(B)のイオン注入を施す(符号41で示す。)。なお、このイオン注入はp型領域のみに限らず、n型領域にも適用しても良い。

【 0 0 5 1 】

続いて、灰化処理等により前記レジストマスクを除去し、HF処理により、コア領域11及び周辺回路領域12の各素子活性領域におけるシリコン表面を露出させた後、多層絶縁膜であるONO膜を形成する。

【 0 0 5 2 】

ここで、ONO膜の形成には、マイクロ波励起のプラズマ酸化法及びプラズマ窒化法を用いる。

具体的には、図14に示すようなラジアルラインスロットアンテナを備えたプラズマ処理装置を用いてプラズマ酸化処理及びプラズマ窒化処理を行なう。このプラズマ処理装置1000は、クラスターツール1001に連通されたゲートバルブ1002と、被処理体W（本実施形態では半導体基板1）を載置し、プラズマ処理時に被処理体Wを冷却する冷却ジャケット1003を備えたサセプタ1004を収納可能な処理室1005と、処理室1005に接続されている高真空ポンプ1006と、マイクロ波源1010と、アンテナ部材1020と、このアンテナ部材1020と共にイオンプレーティングを構成するバイアス用高周波電源1007及びマッチングボックス1008と、ガス供給リング1031、1041を有するガス供給系1030、1040と、被処理体Wの温度制御を行なう温度制御部1050とを含み構成されている。

【 0 0 5 3 】

マイクロ波源1010は、例えば、マグネトロンからなり、通常2.45GHzのマイクロ波（例えば、5kW）を発生することができる。マイクロ波は、その後、モード変換器1012により伝送形態がTM、TE又はTEMモードなどに変換される。

【 0 0 5 4 】

アンテナ部材1020は、温調板1022と、収納部材1023と、誘電板1025とを有している。温調板1022は、温度制御装置1021に接続され、収納部材1023は、遅波材1024と遅波材1024に接触するスロット電極（不図示）とを収納している。このスロット電極は、ラジアルラインスロットアンテナ（RLSA）又は超高能率平面アンテナと称される。但し、本実施形態で

はその他の形式のアンテナ、例えば一層構造導波管平面アンテナ、誘電体基板平行平板スロットアレーなどを適用しても良い。

【 0 0 5 5 】

上記構成のプラズマ処理装置を用いて本実施形態のONO膜を形成するには、先ず、図5に示すように、プラズマ酸化法により素子活性領域のシリコン表面に下部シリコン酸化膜21を形成する。

具体的には、Ar及びO₂を含み水素を含まないソースガスを用い、450℃の温度条件でソースガスに3.5kWのマイクロ波を照射することにより酸素ラジカル(O*)を発生させて酸化処理を行い、下部シリコン酸化膜21を形成する。なお、プラズマ酸化処理に替わって熱酸化法やCVD酸化法により下部シリコン酸化膜を形成するようにしても良い。

【 0 0 5 6 】

続いて、図6に示すように、熱CVD法により、SiH₄を原料ガスとして530℃の温度条件で下部シリコン酸化膜21上にアモルファスシリコン(a-Si)膜31を膜厚9nm程度に堆積する。この場合、a-Si膜の替わりに多結晶シリコン膜を形成しても良い。

【 0 0 5 7 】

そして、図7に示すように、プラズマ窒化法によりa-Si膜31を完全に窒化し、下部シリコン酸化膜21上にシリコン窒化膜22を形成する。

具体的には、N₂及びArを含み水素を含まないソースガスを用い、450℃の温度条件でソースガスに3.5kWのマイクロ波を照射することにより窒素ラジカル(N*)を発生させて窒化処理を行い、膜厚9nm程度のa-Si膜31を完全に窒化し尽くして膜厚18nm程度のシリコン窒化膜22に置き換える。

【 0 0 5 8 】

そして、プラズマ酸化法により、シリコン窒化膜22の表層を酸化し、上部シリコン酸化膜を形成する。本実施形態では、当該プラズマ酸化により、コア領域11の上部シリコン酸化膜とともに、周辺回路領域12に各ゲート絶縁膜を形成する。

【 0 0 5 9 】

具体的には、図 8 に示すように、先ずコア領域 1 1 のみをレジストマスク（不図示）で覆い、これをマスクとしてドライエッチングにより周辺回路領域 1 2 に形成されたシリコン窒化膜 2 2 を除去し、続いて H F 処理により周辺回路領域 1 2 に形成された下部シリコン酸化膜 2 1 を除去して、周辺回路領域 1 2 における半導体基板 1 の表面を露出させる。

【 0 0 6 0 】

続いて、前記レジストマスクを灰化处理等により除去した後、図 9 に示すように、A r 及び O₂ を含み水素を含まないソースガスを用い、4 5 0 °C の温度条件でソースガスに 3 . 5 k W のマイクロ波を照射することにより酸素ラジカル（O*）を発生させて酸化処理を行い、コア領域 1 1 ではシリコン窒化膜 2 2 の表層を酸化してシリコン酸化膜 3 0 を形成し、それと同時に周辺回路領域 1 2 では膜厚 8 n m 程度のシリコン酸化膜 3 2 を形成する。

【 0 0 6 1 】

続いて、図 1 0 に示すように、周辺回路領域 1 2 の薄膜ゲート絶縁膜を形成する部分、ここでは n 型領域のみを露出させるレジストマスク（不図示）を形成し、これをマスクとして H F 処理を施し、n 型領域のシリコン酸化膜 3 2 を除去する。

【 0 0 6 2 】

続いて、前記レジストマスクを灰化处理等により除去した後、図 1 1 に示すように、上述したプラズマ酸化法により、露出した半導体基板 1 の表面に膜厚 7 n m 程度のシリコン酸化膜を形成するに相当する酸化処理を行なう。このとき、コア領域 1 1 では、シリコン窒化膜 2 2 の表層が更に酸化されてシリコン酸化膜に置き換えられ、結果として膜厚 1 0 n m 程度となる上部シリコン酸化膜 2 3 が形成され、それと同時に周辺回路領域 1 2 では、n 型領域に膜厚 7 n m 程度の薄膜のゲート絶縁膜 2 4 が、p 型領域に前述した膜厚 8 n m 程度相当（シリコン酸化膜 3 2）のプラズマ酸化を経た膜厚 7 n m 程度相当のプラズマ酸化により、結果として膜厚 1 3 n m 程度となるゲート絶縁膜 2 5 がそれぞれ形成される。

【 0 0 6 3 】

このようにして、コア領域 1 1 には、プラズマ酸化により形成された膜厚 8 n

m程度の下部シリコン酸化膜 2 1、プラズマ窒化により形成され、その後の 2 度のプラズマ酸化により表層が膜減りした膜厚 8 nm 程度の電荷蓄積膜であるシリコン窒化膜 2 2、及びプラズマ酸化により形成された上部シリコン酸化膜 2 3 からなる ONO 膜 7 が形成される。他方、周辺回路領域 1 2 には、n 型領域に膜厚 8 nm 程度の薄いゲート絶縁膜 2 4 が、p 型領域には膜厚 1 3 nm 程度のゲート絶縁膜 2 5 がそれぞれ形成される。

【 0 0 6 4 】

続いて、図 1 2 に示すように、CVD 法によりコア領域 1 1 及び周辺回路領域 1 2 の全面に多結晶シリコン膜 3 3 を形成する。

【 0 0 6 5 】

続いて、図 1 3 に示すように、リソグラフィー及びそれに続くドライエッチングにより多結晶シリコン膜 3 3 をパターニングし、コア領域 1 1 及び周辺回路領域 1 2 の n 型領域と p 型領域にゲート電極 8 をそれぞれ形成する。このとき、コア領域 1 1 では、ゲート電極 8 をビットライン拡散層 6 と略直交するように形成する。

【 0 0 6 6 】

続いて、周辺回路領域 1 2 にのみ、ソース／ドレイン 9，10 を形成する。

具体的には、n 型領域について、ゲート電極 8 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 6 を形成する。他方、p 型領域について、ゲート電極 8 の両側における半導体基板 1 の表面に p 型不純物をイオン注入し、エクステンション領域 2 7 を形成する。

【 0 0 6 7 】

次に、CVD 法により全面にシリコン酸化膜を堆積した後、このシリコン酸化膜の全面を異方性エッチング（エッチバック）して、各ゲート電極 8 の両側面のみシリコン酸化膜を残し、サイドウォール 2 8 を形成する。

【 0 0 6 8 】

そして、n 型領域については、ゲート電極及びサイドウォール 2 8 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 6 と一部重畳されてなる深いソース／ドレイン 9 を形成する。他方、p 型領域に

については、ゲート電極 8 及びサイドウォール 2 8 の両側における半導体基板 1 の表面に p 型不純物をイオン注入し、エクステンション領域 2 7 と一部重畳される深いソース／ドレイン 1 0 を形成する。このとき、ソース／ドレイン 9, 1 0 の表面を露出させておき、サリサイドプロセスを行なって周辺回路領域 1 2 のソース／ドレイン 9, 1 0 上及びゲート電極 8 上にシリサイド層を形成するようにしても良い。

【 0 0 6 9 】

しかる後、全面を覆う数層の層間絶縁膜、コンタクトホールやビアホール、各種配線層等を形成し、最上層に保護絶縁膜（共に不図示）を形成することにより半導体基板 1 上に、SONOS 型のメモリセル及び CMOS トランジスタを有する周辺回路を備えた半導体記憶装置を多数形成する。そして、これを分割してパッケージ化することにより個々の半導体記憶装置を作製する。

【 0 0 7 0 】

以上説明したように、本実施形態によれば、電荷蓄積膜として機能する ONO 膜 7 を低温で高品質に形成し、しかも周辺回路のゲート絶縁膜 2 4, 2 5 を ONO 膜 7 と共に首尾良く形成し、信頼性の高い低コストの SONOS 型の半導体記憶装置を実現することが可能となる。

【 0 0 7 1 】

（第 2 の実施形態）

本実施形態では、フローティングゲート型の半導体記憶装置を開示する。なお便宜上、当該半導体記憶装置の構造をその製造方法と共に説明する。

【 0 0 7 2 】

メモリセル領域にはフローティングゲート型トランジスタが形成され、周辺回路領域には CMOS トランジスタが形成されてなるものである。

図 1 5 ～ 図 2 6 は、本実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。なお、第 1 の実施形態で説明した構成部材等については便宜上、同符号を記す。ここで、図 2 0 を除く各図の（a）がメモリセル領域（コア領域）、（b）が周辺回路領域を示しており、（a）の左側が制御ゲート（ワードライン）に平行な断面（X 断面

）、右側が制御ゲートに垂直な断面（Y断面）にそれぞれ対応し、図20がX断面に対応している。

【0073】

先ず、図15に示すように、コア領域11及び周辺回路領域12にそれぞれ素子分離構造を形成し、素子活性領域を画定する。

ここでは、いわゆるSTI（Shallow Trench Isolation）法により、p型シリコン半導体基板1のコア領域11及び周辺回路領域12における素子分離領域に溝を形成し、この溝を絶縁物で充填してSTI素子分離構造2を形成し、各素子活性領域を画定する。

【0074】

続いて、周辺回路領域12にウェル3，4，5を形成する。

具体的には、n型領域については、周辺回路領域12のn型領域のみにn型不純物、例えばリン（P）や砒素（As）等をイオン注入した後、アニール処理により不純物を熱拡散させ、n型領域にnウェル3を形成する。他方、p型領域については、周辺回路領域12のp型領域のみに先ずn型不純物、例えばリン（P）や砒素（As）等を深くイオン注入し、続いてn型不純物、例えばホウ素（B）をn型不純物よりも浅くイオン注入した後、アニール処理により不純物を熱拡散させ、p型領域でトリプルウェル構造となるように、深いnウェル4及び当該nウェル4内にpウェル5を形成する。

【0075】

続いて、周辺回路領域12のp型領域のみを覆うレジストマスク（不図示）を形成し、これをマスクとして閾値調節用のホウ素（B）のイオン注入を施す（符号41で示す。）。なお、このイオン注入はp型領域のみに限らず、n型領域にも適用しても良い。

【0076】

続いて、図16に示すように、前記レジストマスクを灰化处理等により除去した後、HF処理により、コア領域11及び周辺回路領域12の各素子活性領域におけるシリコン表面を露出させ、引き続いて熱酸化により各素子活性領域に膜厚10nm程度のトンネル酸化膜42を形成する。このトンネル酸化膜の形成には

、低温化という観点からは熱酸化法の替わりに上述のプラズマ酸化法を用いても好適である。

【0077】

続いて、図17に示すように、熱CVD法により SiH_4 と PH_3 を原料ガスとして530℃の温度条件で全面に膜厚90nm程度のリン(P)ドーピングされてなるアモルファスシリコン(a-Si)膜43を堆積する。

【0078】

続いて、図18に示すように、リソグラフィ及びドライエッチングによりa-Si膜43をパターニングし、後述のワードラインと垂直方向について個々に分断されてなる浮遊ゲート44を形成する。このとき、周辺回路領域12ではa-Si膜43を全面的に残しておく。

【0079】

続いて、誘電体膜として、多層絶縁膜であるONO膜を形成する。

先ず、図19に示すように、上述のプラズマ窒化法によりシリコン窒化膜45を形成する。

具体的には、第1の実施形態と同様に、図14に示すラジアルラインスロットアンテナを備えたプラズマ処理装置を用い、Ar及び N_2 を含み水素を含まないソースガスを用い、450℃の温度条件でソースガスに3.5kWのマイクロ波を照射することにより窒素ラジカル(N^*)を発生させてa-Si膜43の表層を窒化処理し、膜厚12nm程度のシリコン窒化膜45を形成する。

【0080】

続いて、図20に示すように、上述のプラズマ酸化法によりシリコン窒化膜45の上下に下部シリコン酸化膜46及び上部シリコン酸化膜47を同時形成する。

具体的には、Ar及び O_2 を含み水素を含まないソースガスを用い、450℃の温度条件でソースガスに3.5kWのマイクロ波を照射することにより酸素ラジカル(O^*)を発生させて酸化処理する。このとき、a-Si膜43のシリコン窒化膜45との界面4nm程度を酸化膜に置き換えて下部シリコン酸化膜46を形成すると同時に、シリコン窒化膜45の上層5nm程度を酸化膜に置き換え

て上部シリコン酸化膜 4 7 を形成する。このとき、コア領域 1 1 では、上記のプラズマ窒化及びプラズマ酸化により膜厚 8 1 n m 程度に膜減りした浮遊ゲート 4 4 上に膜厚 4 n m 程度下部シリコン酸化膜 4 6、膜厚 6 n m 程度に膜減りしたシリコン窒化膜 4 5、及び膜厚 4 n m 程度上部シリコン酸化膜 4 7 からなる O N O 膜 5 1 が形成される。なお、以下の図 2 1 ~ 図 2 6 については、図示の便宜上、4 5、4 6、4 7 の 3 層を 1 層の O N O 膜 5 1 として簡易化して図示する。

【 0 0 8 1 】

続いて、図 2 1 に示すように、ドライエッチングにより周辺回路領域 1 2 の O N O 膜 5 1 及び a - S i 膜 4 3 を除去し、更に H F 処理により周辺回路領域 1 2 の素子活性領域におけるシリコン表面を露出させる。

【 0 0 8 2 】

続いて、図 2 2 に示すように、周辺回路領域 1 2 の素子活性領域におけるシリコン表面を熱酸化し、膜厚 8 n m 程度のシリコン酸化膜 4 8 を形成する。このとき、熱酸化法による酸化力はさほど強くないため、コア領域 1 1 の O N O 膜 5 1 の酸化は無視し得る程度のものである。

【 0 0 8 3 】

続いて、図 2 3 に示すように、周辺回路領域 1 2 の薄膜ゲート絶縁膜を形成する部分、ここでは n 型領域のシリコン酸化膜 4 8 を H F 処理により除去する。

【 0 0 8 4 】

続いて、図 2 4 に示すように、周辺回路領域 1 2 の n 型及び p 型領域のシリコン表面に膜厚 7 n m 程度のシリコン酸化膜を形成するに相当する熱酸化を施し、n 型領域には膜厚 1 0 n m 程度の薄膜のゲート絶縁膜 4 9 を、p 型領域には膜厚 8 n m 程度相当の熱酸化を経た 1 0 n m 程度の熱酸化により結果として膜厚 1 6 n m 程度となるゲート絶縁膜 5 0 をそれぞれ形成する。

【 0 0 8 5 】

続いて、図 2 5 に示すように、C V D 法により全面に a - S i 膜 5 2 を堆積した後、図 2 6 に示すように、リソグラフィ及びドライエッチングにより a - S i 膜 5 2 (コア領域 1 1 では更に a - S i 膜 4 3) をパターニングし、コア領域 1 1 には、誘電体膜である O N O 膜 5 1 を介して浮遊ゲート 4 4 と容量結合する

ワードラインとして機能する制御ゲート 5 3 を、周辺回路領域 1 2 には CMOS トランジスタの構成要素となるゲート電極 5 4 をそれぞれ形成する。このとき、 $a-Si$ 膜 5 2 のドライエッチングにより、制御ゲート 5 3 の形成と同時に浮遊ゲート 4 4 の制御ゲート 5 3 からはみ出した部分を除去する。

【 0 0 8 6 】

続いて、コア領域 1 1 にのみエクステンション領域 8 1 を形成する。

具体的には、制御ゲート 5 3 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 8 1 を形成する。

【 0 0 8 7 】

続いて、周辺回路領域 1 2 にのみエクステンション領域 2 6 を形成する。

具体的には、n 型領域について、ゲート電極 5 4 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 6 を形成する。他方、p 型領域について、ゲート電極 5 4 の両側における半導体基板 1 の表面に p 型不純物をイオン注入し、エクステンション領域 2 7 を形成する。

【 0 0 8 8 】

次に、CVD 法により全面にシリコン酸化膜を堆積した後、このシリコン酸化膜の全面を異方性エッチング（エッチバック）して、各ゲート電極 5 4 の両側面にのみシリコン酸化膜を残し、サイドウォール 2 8 を形成する。

【 0 0 8 9 】

続いて、コア領域 1 1 には、制御ゲート 5 3 及びサイドウォール 2 8 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 8 1 と一部重畳されてなる深いソース／ドレイン 8 2 を形成する。

【 0 0 9 0 】

そして、周辺回路領域 1 2 には、n 型領域については、ゲート電極及びサイドウォール 2 8 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 6 と一部重畳されてなる深いソース／ドレイン 9 を形成する。他方、p 型領域については、ゲート電極 5 4 及びサイドウォール 2 8 の両側における半導体基板 1 の表面に p 型不純物をイオン注入し、エクステンション領域 2 7 と一部重畳されてなる深いソース／ドレイン 1 0 を形成する。このとき

、ソース／ドレイン 9，10 の表面を露出させておき、サリサイドプロセスを行なって周辺回路領域 12 のソース／ドレイン 9，10 上及びゲート電極 54 上にシリサイド層を形成するようにしても良い。

【0091】

しかる後、全面を覆う数層の層間絶縁膜、コンタクトホールやビアホール、各種配線層等を形成し、最上層に保護絶縁膜（共に不図示）を形成することにより半導体基板 1 上に、フローティングゲート型のメモリセル及び CMOS トランジスタを有する周辺回路を備えた半導体記憶装置を多数形成する。そして、これを分割してパッケージ化することにより個々の半導体記憶装置を作製する。

【0092】

以上説明したように、本実施形態によれば、誘電体膜として機能する ONO 膜 51 を低温で高品質に、しかもシリコン窒化膜の上下のシリコン酸化膜を同時形成し、工程数の削減を図りつつも信頼性の高い低コストのフローティングゲート型の半導体記憶装置を実現することが可能となる。

【0093】

（第 3 の実施形態）

本実施形態では、埋め込みビットライン型の SONOS 構造の半導体記憶装置を開示する。なお便宜上、当該半導体記憶装置の構造をその製造方法と共に説明する。

【0094】

この半導体記憶装置は、メモリセル領域の SONOS トランジスタがプレーナ型とされており、周辺回路領域には CMOS トランジスタが形成されてなるものである。

図 27～図 35 は、本実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。なお、第 1 の実施形態で説明した構成部材等については便宜上、同符号を記す。ここで、各図の（a）がメモリセル領域（コア領域）、（b）が周辺回路領域を示しており、（a）の左側がゲート電極（ワードライン）に平行な断面（X 断面）、右側がゲート電極に垂直な断面（Y 断面）にそれぞれ対応している。

【 0 0 9 5 】

先ず、図 2 7 に示すように、周辺回路領域 1 2 にウェル 3, 4, 5 を形成する。

具体的には、n 型領域については、周辺回路領域 1 2 の n 型領域のみに n 型不純物、例えばリン (P) や砒素 (As) 等をイオン注入した後、アニール処理により不純物を熱拡散させ、n 型領域に n ウェル 3 を形成する。他方、p 型領域については、周辺回路領域 1 2 の p 型領域のみに先ず n 型不純物、例えばリン (P) や砒素 (As) 等を深くイオン注入し、続いて n 型不純物、例えばホウ素 (B) を n 型不純物よりも浅くイオン注入した後、アニール処理により不純物を熱拡散させ、p 型領域でトリプルウェル構造となるように、深い n ウェル 4 及び当該 n ウェル 4 内に p ウェル 5 を形成する。

【 0 0 9 6 】

続いて、周辺回路領域 1 2 に素子分離構造を形成し、素子活性領域を画定する。

ここでは、いわゆる LOCOS 法により、p 型シリコン半導体基板 1 の周辺回路領域 1 2 における素子分離領域にフィールド酸化膜 6 1 を形成し、素子活性領域を画定する。なお、本実施形態ではプレーナ型のメモリを開示するため、コア領域には素子分離構造を形成しない。

【 0 0 9 7 】

続いて、周辺回路領域 1 2 の p 型領域のみを覆うレジストマスク (不図示) を形成し、これをマスクとして閾値調節用のホウ素 (B) のイオン注入を施す (符号 4 1 で示す。)。なお、このイオン注入は p 型領域のみに限らず、n 型領域にも適用しても良い。

【 0 0 9 8 】

続いて、半導体基板 1 のコア領域 1 1 にビットライン拡散層 6 を形成する。

具体的には、リソグラフィーによりビットライン形状のレジストマスク (不図示) を形成し、これをマスクとして n 型不純物、ここでは砒素 (As) をイオン注入する。ここでは、ビットライン抵抗を低減するため、 2.0×10^{14} ($/\text{cm}^2$) 以上のドーズ量でイオン注入する。これにより、ソース/ドレインと兼用

のビットライン拡散層 6 が形成される。

【0 0 9 9】

続いて、灰化処理等により前記レジストマスクを除去し、H F 処理により、コア領域 1 1 及び周辺回路領域 1 2 の各素子活性領域におけるシリコン表面を露出させた後、多層絶縁膜である O N O 膜を形成する。

【0 1 0 0】

具体的には、先ず図 2 8 に示すように、上述のプラズマ酸化法により、素子活性領域のシリコン表面に下部シリコン酸化膜 6 2 を形成する。

具体的には、図 1 4 に示すようなラジアルラインスロットアンテナを備えたプラズマ処理装置において、A r 及び O₂ を含み水素を含まないソースガスを用い、4 5 0 °C の温度条件でソースガスに 3 . 5 k W のマイクロ波を照射することにより酸素ラジカル (O *) を発生させて酸化処理を行い、下部シリコン酸化膜 6 2 を形成する。この下部シリコン酸化膜 6 2 の形成には、熱酸化ではなくプラズマ酸化を用いることにより、低温で緻密な膜を形成でき、ビットライン拡散層 6 の不純物拡散を抑制することができる。

【0 1 0 1】

続いて、図 2 9 に示すように、下部シリコン酸化膜 6 2 上に熱 C V D 法によりシリコン窒化膜 6 3 を形成する。

具体的には、熱 C V D 法により、S i H₂C l₂ 及び N H₃ を原料ガスとし、7 3 0 °C の温度条件にて膜厚 1 5 n m 程度のシリコン窒化膜 6 3 を堆積する。ここで、プラズマ窒化ではなく熱 C V D を行なうことにより、S O N O S 型のメモリセルに適したトラップの多い電荷蓄積膜として機能するシリコン窒化膜を形成することができる。

【0 1 0 2】

続いて、図 3 0 に示すように、コア領域 1 1 のみをレジストマスク (不図示) で覆い、これをマスクとしてドライエッチングにより周辺回路領域 1 2 に形成されたシリコン窒化膜 6 3 を除去し、続いて H F 処理により周辺回路領域 1 2 に形成された下部シリコン酸化膜 6 2 を除去して、周辺回路領域 1 2 における半導体基板 1 の表面を露出させる。

【 0 1 0 3 】

続いて、前記レジストマスクを灰化处理等により除去した後、プラズマ酸化法により、コア領域 1 1 の上部シリコン酸化膜 6 4 とともに、周辺回路領域 1 2 にゲート絶縁膜 2 4, 2 5 を形成する。

【 0 1 0 4 】

具体的には、先ず図 3 1 に示すように、Ar 及び O_2 を含み水素を含まないソースガスを用い、450℃の温度条件でソースガスに3.5kWのマイクロ波を照射することにより酸素ラジカル (O^*) を発生させて酸化処理を行い、コア領域 1 1 ではシリコン窒化膜 6 3 の表層を酸化してシリコン酸化膜 7 0 を形成し、それと同時に周辺回路領域 1 2 では膜厚 8 nm 程度のシリコン酸化膜 3 2 を形成する。

【 0 1 0 5 】

続いて、図 3 2 に示すように、周辺回路領域 1 2 の薄膜ゲート絶縁膜を形成する部分、ここでは n 型領域のみを露出させるレジストマスク (不図示) を形成し、これをマスクとして HF 処理を施し、n 型領域のシリコン酸化膜 3 2 を除去する。

【 0 1 0 6 】

続いて、前記レジストマスクを灰化处理等により除去した後、図 3 3 に示すように、上述したプラズマ酸化法により、露出した半導体基板 1 の表面に膜厚 7 nm 程度のシリコン酸化膜を形成するに相当する酸化処理を行なう。このとき、コア領域 1 1 では、シリコン窒化膜 6 3 の表層が更に酸化されてシリコン酸化膜に置き換えられ、結果として膜厚 10 nm 程度となる上部シリコン酸化膜 6 4 が形成され、それと同時に周辺回路領域 1 2 では、n 型領域に膜厚 7 nm 程度の薄膜のゲート絶縁膜 2 4 が、p 型領域に前述した膜厚 8 nm 程度相当 (シリコン酸化膜 3 2) のプラズマ酸化を経た膜厚 7 nm 程度相当のプラズマ酸化により、結果として膜厚 13 nm 程度となるゲート絶縁膜 2 5 がそれぞれ形成される。

【 0 1 0 7 】

このようにして、コア領域 1 1 には、プラズマ酸化により形成された膜厚 8 nm 程度の下部シリコン酸化膜 6 2、熱 CVD により形成され、その後の 2 度のプ

ラズマ酸化により表層が膜減りした膜厚 1 0 n m 程度の電荷蓄積膜であるシリコン窒化膜 6 3、及びプラズマ酸化により形成された上部シリコン酸化膜 2 3 からなる O N O 膜 7 1 が形成される。他方、周辺回路領域 1 2 には、n 型領域に膜厚 8 n m 程度の薄いゲート絶縁膜 2 4 が、p 型領域には膜厚 1 3 n m 程度のゲート絶縁膜 2 5 がそれぞれ形成される。

【 0 1 0 8 】

続いて、図 3 4 に示すように、C V D 法によりコア領域 1 1 及び周辺回路領域 1 2 の全面に多結晶シリコン膜 3 3 を形成した後、タングステンシリサイド膜 7 2 を形成する。

【 0 1 0 9 】

続いて、図 3 5 に示すように、リソグラフィ及びそれに続くドライエッチングにより多結晶シリコン膜 3 3 及びタングステンシリサイド膜 7 2 をパターンニングし、コア領域 1 1 及び周辺回路領域 1 2 の n 型領域と p 型領域にゲート電極 7 3 をそれぞれ形成する。このとき、コア領域 1 1 では、ゲート電極 7 3 をビットライン拡散層 6 と略直交するように形成する。

【 0 1 1 0 】

続いて、周辺回路領域 1 2 にのみ、ソース／ドレイン 9、1 0 を形成する。

具体的には、n 型領域について、ゲート電極 7 3 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 6 を形成する。他方、p 型領域について、ゲート電極 7 3 の両側における半導体基板 1 の表面に p 型不純物をイオン注入し、エクステンション領域 2 7 を形成する。

【 0 1 1 1 】

次に、C V D 法により全面にシリコン酸化膜を堆積した後、このシリコン酸化膜の全面を異方性エッチング（エッチバック）して、各ゲート電極 7 3 の両側面にのみシリコン酸化膜を残し、サイドウォール 2 8 を形成する。

【 0 1 1 2 】

そして、n 型領域については、ゲート電極及びサイドウォール 2 8 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 6 と一部重畳されてなる深いソース／ドレイン 9 を形成する。他方、p 型領域に

については、ゲート電極 7 3 及びサイドウォール 2 8 の両側における半導体基板 1 の表面に p 型不純物をイオン注入し、エクステンション領域 2 7 と一部重畳されてなる深いソース／ドレイン 1 0 を形成する。

【 0 1 1 3 】

しかる後、全面を覆う数層の層間絶縁膜、コンタクトホールやビアホール、各種配線層等を形成し、最上層に保護絶縁膜（共に不図示）を形成することにより半導体基板 1 上に、SONOS 型のメモリセル及び CMOS トランジスタを有する周辺回路を備えた半導体記憶装置を多数形成する。そして、これを分割してパッケージ化することにより個々の半導体記憶装置を作製する。

【 0 1 1 4 】

以上説明したように、本実施形態によれば、電荷蓄積膜として機能する ONO 膜 7 1 を高い電荷蓄積機能を保ちつつ高品質に形成し、しかも周辺回路のゲート絶縁膜 2 4, 2 5 を ONO 膜 7 1 と共に首尾良く形成し、信頼性の高い低コストの SONOS 型の半導体記憶装置を実現することが可能となる。

【 0 1 1 5 】

なお、本発明は上述した諸実施形態に限定されるものではない。例えば諸実施形態では、多層絶縁膜として ONO 膜を例示したが、シリコン酸化膜上にシリコン窒化膜が形成されてなる ON 膜に適用しても好適である。この場合、例えば上述のプラズマ酸化法によりシリコン酸化膜を形成した後、シリコン膜を堆積し、これを上述のプラズマ窒化法により窒化し尽くしてシリコン窒化膜を形成したり、または、CVD 法によりシリコン酸化膜を形成した後、このシリコン酸化膜の表層を上述のプラズマ窒化法により窒化してシリコン窒化膜を形成すること等が考えられる。

【 0 1 1 6 】

以下、本発明の諸態様を付記としてまとめて記載する。

【 0 1 1 7 】

（付記 1）下部シリコン酸化膜を形成する工程と、
前記下部シリコン酸化膜上にシリコン膜を形成する工程と、
前記シリコン膜をプラズマ窒化法により完全に窒化し、前記下部シリコン酸化

膜上にシリコン窒化膜を形成する工程と

を含み、

少なくとも前記下部シリコン酸化膜及び前記シリコン窒化膜を含む多層絶縁膜を形成することを特徴とする半導体装置の製造方法。

【 0 1 1 8 】

(付記 2) 前記シリコン窒化膜の表面をプラズマ酸化法により酸化し、上部シリコン酸化膜を形成する工程を更に含み、

前記下部シリコン酸化膜、前記シリコン窒化膜、及び前記上部シリコン酸化膜からなる前記多層絶縁膜を形成することを特徴とする付記 1 に記載の半導体装置の製造方法。

【 0 1 1 9 】

(付記 3) 前記シリコン膜を 7 0 0 ℃以下の温度条件で形成することを特徴とする付記 1 又は 2 に記載の半導体装置の製造方法。

【 0 1 2 0 】

(付記 4) 前記シリコン窒化膜がメモリセルの電荷蓄積膜であることを特徴とする付記 1 ～ 3 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 2 1 】

(付記 5) 前記多層絶縁膜をメモリセルにおける浮遊ゲートと制御ゲートとの間に設けられる誘電体膜として形成することを特徴とする付記 2 又は 3 に記載の半導体装置の製造方法。

【 0 1 2 2 】

(付記 6) 前記プラズマ酸化法により、前記上部シリコン酸化膜とともに、周辺回路領域にゲート絶縁膜を同時形成することを特徴とする付記 2 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 2 3 】

(付記 7) 前記シリコン膜の膜厚が 5 n m 以上であることを特徴とする付記 1 ～ 6 に記載の半導体装置の製造方法。

【 0 1 2 4 】

(付記 8) 前記シリコン窒化膜を、窒素を含むソースガスの雰囲気中でマイク

ロ波によりプラズマを励起して窒素ラジカルを発生させ、窒化処理を行なうことにより形成することを特徴とする付記 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 2 5 】

(付記 9) 前記ソースガスは水素を含まないものであることを特徴とする付記 8 に記載の半導体装置の製造方法。

【 0 1 2 6 】

(付記 1 0) 前記上部シリコン酸化膜を、酸素を含むソースガスの雰囲気中でマイクロ波によりプラズマを励起して酸素ラジカルを発生させ、酸化処理を行なうことにより形成することを特徴とする付記 2 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 2 7 】

(付記 1 1) 前記ソースガスは水素を含まないものであることを特徴とする付記 1 0 に記載の半導体装置の製造方法。

【 0 1 2 8 】

(付記 1 2) シリコン領域の表面をプラズマ窒化法により窒化し、シリコン窒化膜を形成する工程と、

前記シリコン窒化膜の表面及び前記シリコン領域の前記シリコン窒化膜との界面を同時にプラズマ酸化法により酸化し、前記表面に上部シリコン酸化膜を、前記界面に下部シリコン酸化膜を同時形成する工程と

を含み、

前記下部シリコン酸化膜、前記シリコン窒化膜、及び前記上部シリコン酸化膜からなる多層絶縁膜を形成することを特徴とする半導体装置の製造方法。

【 0 1 2 9 】

(付記 1 3) 前記シリコン領域がメモリセル毎に形成された島状の浮遊ゲートであるとともに、前記多層絶縁膜がメモリセルにおける前記浮遊ゲートと制御ゲートとの間に設けられる誘電体膜であることを特徴とする付記 1 2 に記載の半導体装置の製造方法。

【 0 1 3 0 】

(付記 1 4) 前記シリコン領域が半導体基板であるとともに、前記多層絶縁膜がメモリセルの電荷蓄積膜であり、

前記多層絶縁膜を形成した後、当該多層絶縁膜上にゲート電極を形成する工程を更に含むことを特徴とする付記 1 2 に記載の半導体装置の製造方法。

【 0 1 3 1 】

(付記 1 5) 前記プラズマ酸化法により、前記シリコン酸化膜とともに、周辺回路領域にゲート絶縁膜を同時形成することを特徴とする付記 1 2 ～ 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 3 2 】

(付記 1 6) 前記プラズマ窒化法により形成した際の前記シリコン窒化膜の膜厚が 1 5 n m 以下であることを特徴とする付記 1 2 ～ 1 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 3 3 】

(付記 1 7) 前記シリコン窒化膜を、窒素を含むソースガスの雰囲気中でマイクロ波によりプラズマを励起して窒素ラジカルを発生させ、窒化处理を行なうことにより形成することを特徴とする付記 1 0 ～ 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 3 4 】

(付記 1 8) 前記ソースガスは水素を含まないものであることを特徴とする付記 1 7 に記載の半導体装置の製造方法。

【 0 1 3 5 】

(付記 1 9) 前記シリコン酸化膜を、酸素を含むソースガスの雰囲気中でマイクロ波によりプラズマを励起して酸素ラジカルを発生させ、窒化处理を行なうことにより形成することを特徴とする付記 1 0 ～ 1 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 3 6 】

(付記 2 0) 前記ソースガスは水素を含まないものであることを特徴とする付記 1 9 に記載の半導体装置の製造方法。

【 0 1 3 7 】

(付記 2 1) 下部シリコン酸化膜を形成する工程と、
前記下部シリコン酸化膜上に C V D 法によりシリコン窒化膜を形成する工程と、
前記シリコン窒化膜の表面をプラズマ酸化法により酸化する工程と
を含み、

前記下部シリコン酸化膜、前記シリコン窒化膜、及び上部シリコン酸化膜からなる多層絶縁膜を形成することを特徴とする半導体装置の製造方法。

【 0 1 3 8 】

(付記 2 2) 前記シリコン窒化膜がメモリセルの電荷蓄積膜であることを特徴とする付記 2 1 に記載の半導体装置の製造方法。

【 0 1 3 9 】

(付記 2 3) 前記多層絶縁膜がメモリセルにおける浮遊ゲートと制御ゲートとの間に設けられる誘電体膜として形成することを特徴とする付記 2 1 又は 2 2 に記載の半導体装置の製造方法。

【 0 1 4 0 】

(付記 2 4) 前記プラズマ酸化法により、前記上部シリコン酸化膜とともに、周辺回路領域にゲート絶縁膜を同時形成することを特徴とする付記 2 1 ～ 2 3 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 4 1 】

(付記 2 5) 前記 C V D 法により形成した際の前記シリコン窒化膜の膜厚が 5 n m 以上であることを特徴とする付記 2 1 ～ 2 4 に記載の半導体装置の製造方法。

【 0 1 4 2 】

(付記 2 6) 前記シリコン窒化膜を、窒素を含むソースガスの雰囲気中でマイクロ波によりプラズマを励起して窒素ラジカルを発生させ、窒化処理を行なうことにより形成することを特徴とする付記 2 1 ～ 2 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 4 3 】

(付記 2 7) 前記ソースガスは水素を含まないものであることを特徴とする付

記 2 6 に記載の半導体装置の製造方法。

【 0 1 4 4 】

（付記 2 8）前記上部シリコン酸化膜を、酸素を含むソースガスの雰囲気中でマイクロ波によりプラズマを励起して酸素ラジカルを発生させ、窒化処理を行なうことにより形成することを特徴とする付記 2 1 ～ 2 7 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 4 5 】

（付記 2 9）前記ソースガスは水素を含まないものであることを特徴とする付記 2 8 に記載の半導体装置の製造方法。

【 0 1 4 6 】

（付記 3 0）半導体基板と、
前記半導体基板上に形成され、電荷捕獲機能を有するシリコン窒化膜を含む絶縁膜と、

前記絶縁膜を介して前記半導体基板上に形成されたゲート電極と、

前記半導体基板に形成された一対の不純物拡散層と

を含むメモリセルを有し、

前記シリコン窒化膜は、マイクロ波励起のプラズマ窒化のみ又は前記プラズマ窒化を含む一連の工程により形成されてなる均一且つ緻密構造の窒化膜であることを特徴とする半導体記憶装置。

【 0 1 4 7 】

（付記 3 1）前記絶縁膜は、下部シリコン酸化膜上に前記シリコン窒化膜が積層されてなる多層絶縁膜であることを特徴とする付記 3 0 に記載の半導体記憶装置。

【 0 1 4 8 】

（付記 3 2）前記絶縁膜は、前記下部シリコン酸化膜、前記シリコン窒化膜、及び上部シリコン酸化膜からなる多層絶縁膜であることを特徴とする付記 3 0 に記載の半導体記憶装置。

【 0 1 4 9 】

（付記 3 3）前記下部シリコン酸化膜及び前記上部シリコン酸化膜の一方又は

双方は、マイクロ波励起のプラズマ酸化により形成されてなる均一且つ緻密構造の酸化膜であることを特徴とする付記 3 1 又は 3 2 に記載の半導体記憶装置。

【 0 1 5 0 】

(付記 3 4) 周辺回路の構成要素であるトランジスタのゲート絶縁膜は、マイクロ波励起のプラズマ酸化により形成されてなる均一且つ緻密構造の酸化膜であり、前記上部シリコン酸化膜と同時形成されてなるものであることを特徴とする付記 3 3 に記載の半導体記憶装置。

【 0 1 5 1 】

(付記 3 5) 半導体基板と、
前記半導体基板上に形成されたゲート絶縁膜と、
前記絶縁膜を介して前記半導体基板上に形成された電荷蓄積機能を有する島状の浮遊ゲートと、
前記浮遊ゲート上に形成された誘電体膜と、
前記浮遊ゲート上に前記誘電体膜を介して形成された制御ゲートと、
前記半導体基板に形成された一对の不純物拡散層と
を含み、
前記誘電体膜は、マイクロ波励起のプラズマ窒化のみ又は前記プラズマ窒化を含む一連の工程により形成されてなる均一且つ緻密構造のシリコン窒化膜を含むことを特徴とする半導体記憶装置。

【 0 1 5 2 】

(付記 3 6) 前記誘電体膜は、下部シリコン酸化膜上に前記シリコン窒化膜が積層されてなる多層絶縁膜であることを特徴とする付記 3 5 に記載の半導体記憶装置。

【 0 1 5 3 】

(付記 3 7) 前記誘電体膜は、前記下部シリコン酸化膜、前記シリコン窒化膜、及び上部シリコン酸化膜からなる多層絶縁膜であることを特徴とする付記 3 5 又は 3 6 に記載の半導体記憶装置。

【 0 1 5 4 】

(付記 3 8) 前記下部シリコン酸化膜及び前記上部シリコン酸化膜の一方又は

双方は、マイクロ波励起のプラズマ酸化により形成されてなる均一且つ緻密構造の酸化膜であることを特徴とする付記 3 6 又は 3 7 に記載の半導体記憶装置。

【 0 1 5 5 】

【発明の効果】

本発明によれば、水素の発生を伴うことなく、ON膜やONO膜等の多層絶縁膜を低温で高品質に形成し、信頼性の高い半導体記憶装置を実現することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の態様を説明するための模式的断面図である。

【図 2】

本発明の第 2 の態様を説明するための模式的断面図である。

【図 3】

本発明の第 3 の態様を説明するための模式的断面図である。

【図 4】

第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 5】

図 4 に引き続き、第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 6】

図 5 に引き続き、第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 7】

図 6 に引き続き、第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 8】

図 7 に引き続き、第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 9】

図 8 に引き続き、第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 1 0】

図 9 に引き続き、第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 1 1】

図 1 0 に引き続き、第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 1 2】

図 1 1 に引き続き、第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 1 3】

図 1 2 に引き続き、第 1 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 1 4】

諸実施形態で用いるラジアルラインスロットアンテナを備えたプラズマ処理装置の概略構成を示す模式図である。

【図 1 5】

第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶

装置の製造方法を工程順に示す概略断面図である。

【図 1 6】

図 1 5 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 1 7】

図 1 6 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 1 8】

図 1 7 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 1 9】

図 1 8 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 0】

図 1 9 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 1】

図 2 0 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 2】

図 2 1 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 3】

図 2 2 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 4】

図 2 3 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 5】

図 2 4 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 6】

図 2 5 に引き続き、第 2 の実施形態によるフローティングゲート型トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 7】

第 3 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 8】

図 2 7 に引き続き、第 3 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 2 9】

図 2 8 に引き続き、第 3 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 3 0】

図 2 9 に引き続き、第 3 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 3 1】

図 3 0 に引き続き、第 3 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 3 2】

図 3 1 に引き続き、第 3 の実施形態による埋め込みビットライン型の SONOS トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 3 3】

図 3 2 に引き続き、第 3 の実施形態による埋め込みビットライン型の S O N O S トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 3 4】

図 3 3 に引き続き、第 3 の実施形態による埋め込みビットライン型の S O N O S トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 3 5】

図 3 4 に引き続き、第 3 の実施形態による埋め込みビットライン型の S O N O S トランジスタを含む半導体記憶装置の製造方法を工程順に示す概略断面図である。

【図 3 6】

シリコン窒化膜の堆積温度と高温放置による閾値 (V_t) シフトとの関係を調べた結果を示す特性図である。

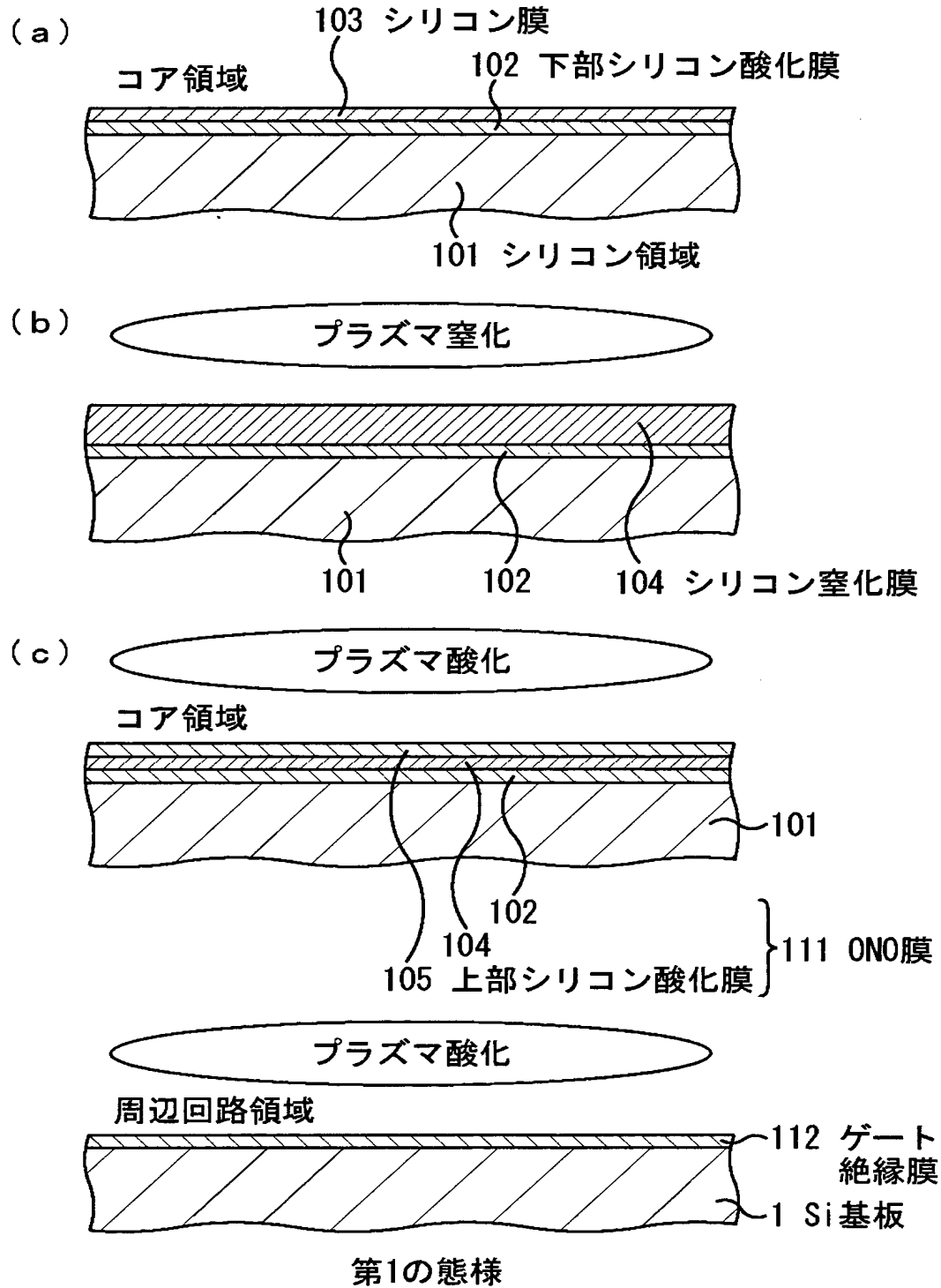
【符号の説明】

- 1 p 型シリコン半導体基板
- 2 S T I 素子分離構造
- 3 n ウェル
- 4 深い n ウェル
- 5 p ウェル
- 6 ビットライン拡散層
- 7, 5 1, 7 1, 9 1 O N O 膜
- 8, 5 4 ゲート電極
- 9, 1 0, 8 2 ソース／ドレイン
- 1 1 メモリセル (コア) 領域
- 1 2 周辺回路領域
- 2 1, 4 6, 6 2, 8 2 下部シリコン酸化膜
- 2 2, 4 5, 6 3, 8 1 シリコン窒化膜
- 2 3, 4 7, 6 4, 8 3 上部シリコン酸化膜

- 2 4, 2 5, 4 9, 5 0 ゲート絶縁膜
- 2 6, 2 7, 8 1 エクステンション領域
- 3 1, 4 3 アモルファスシリコン (a - S i) 膜
- 3 2, 4 8, 7 0 シリコン酸化膜
- 3 3 多結晶シリコン膜
- 4 2 トンネル酸化膜
- 4 4 浮遊ゲート
- 5 3 制御ゲート
- 6 1 フィールド酸化膜
- 7 2 タングステンシリサイド膜

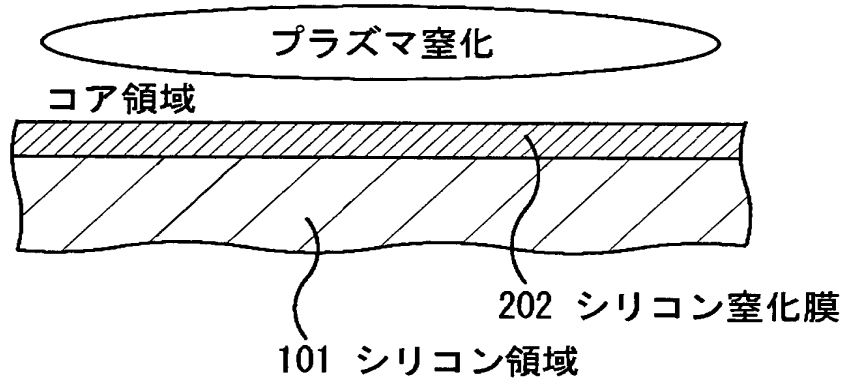
【書類名】 図面

【図 1】

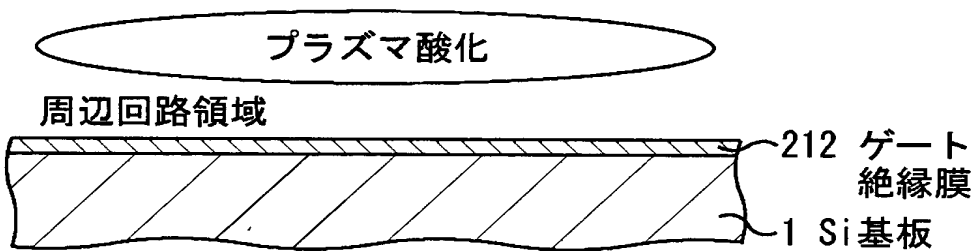
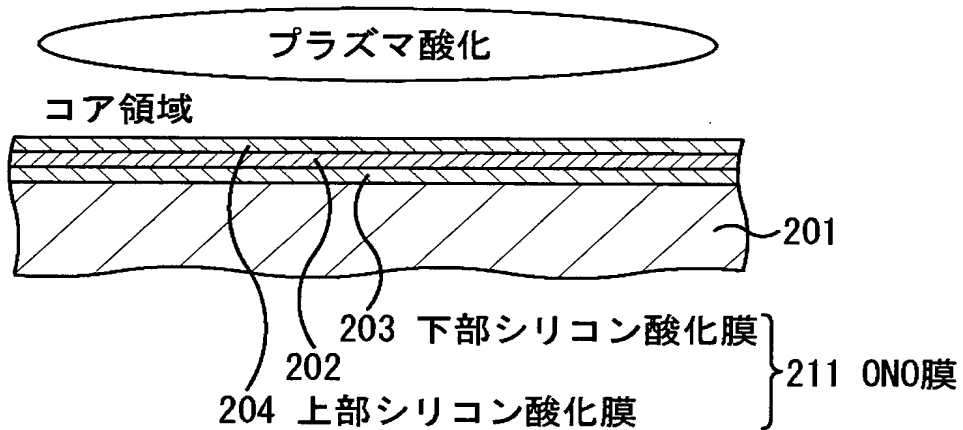


【図 2】

(a)



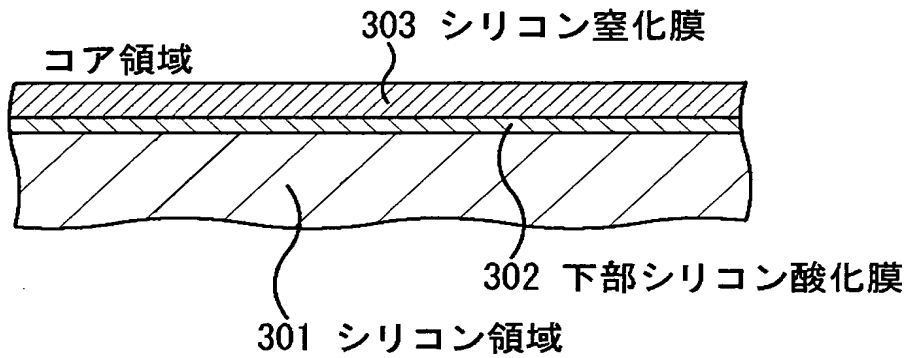
(b)



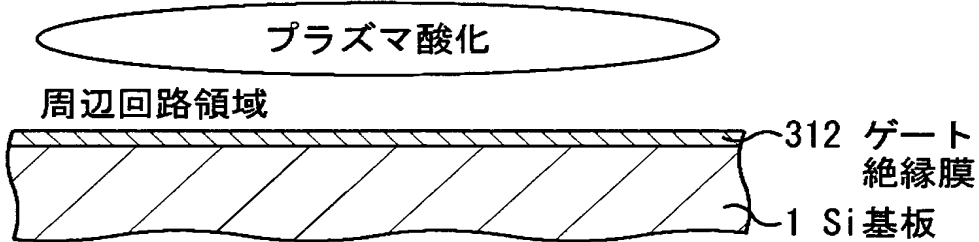
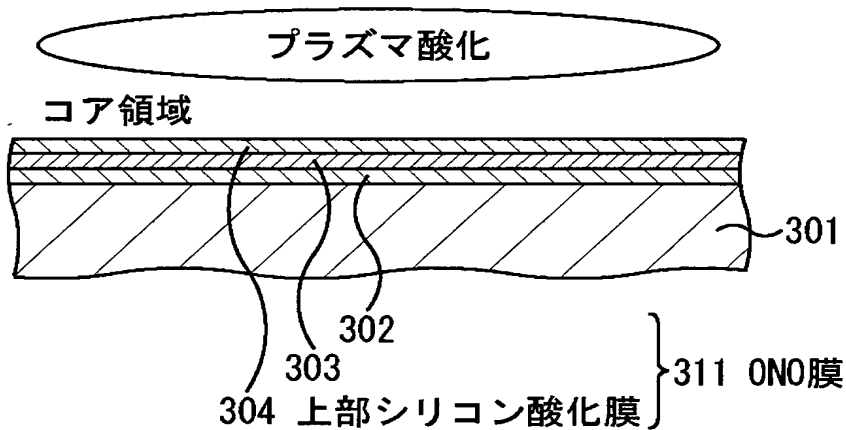
第2の態様

【図 3】

(a) 熱CVD, プラズマCVD



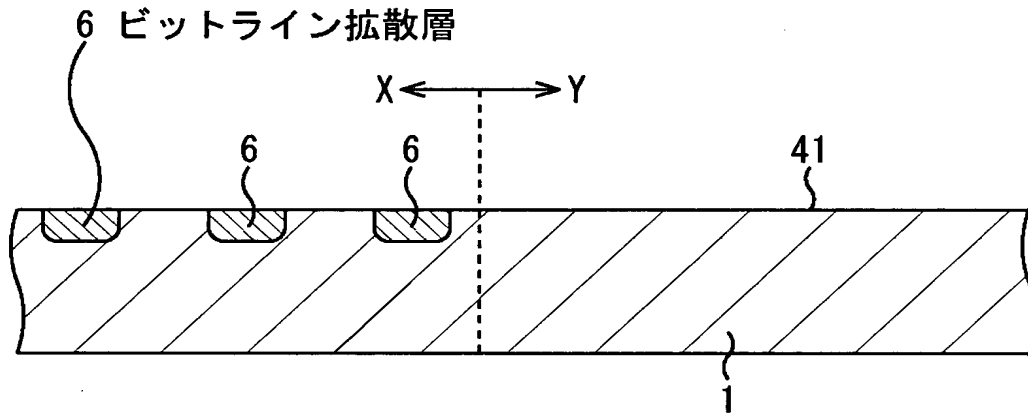
(b)



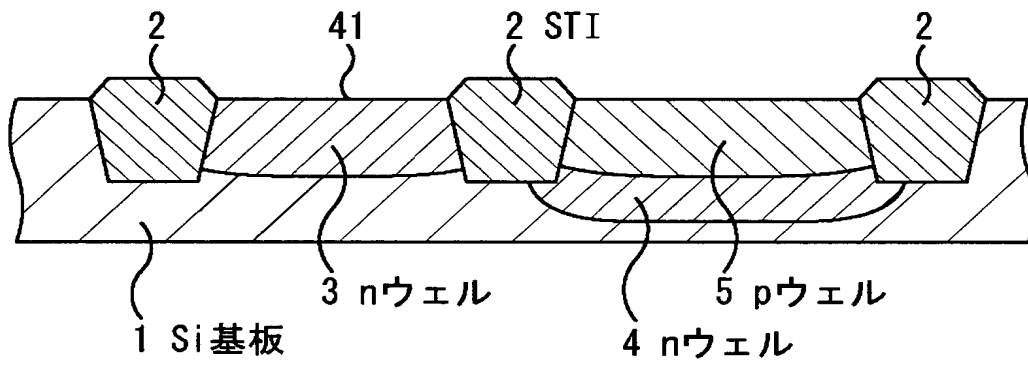
第3の態様

【図 4】

(a) 11コア

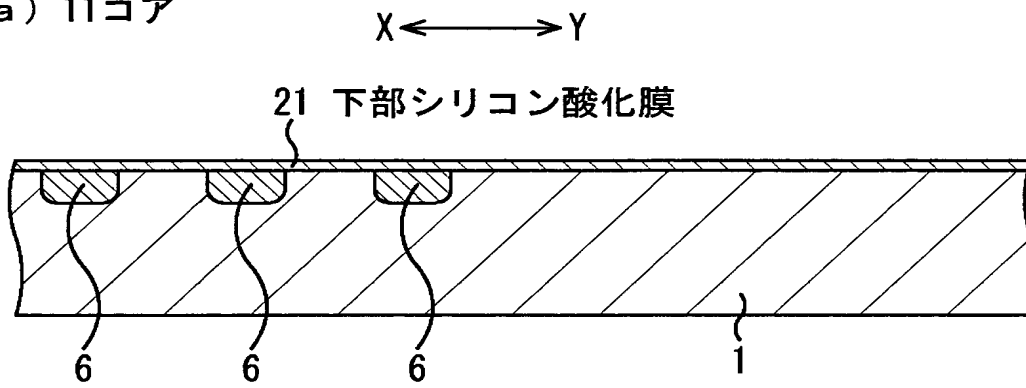


(b) 12周辺

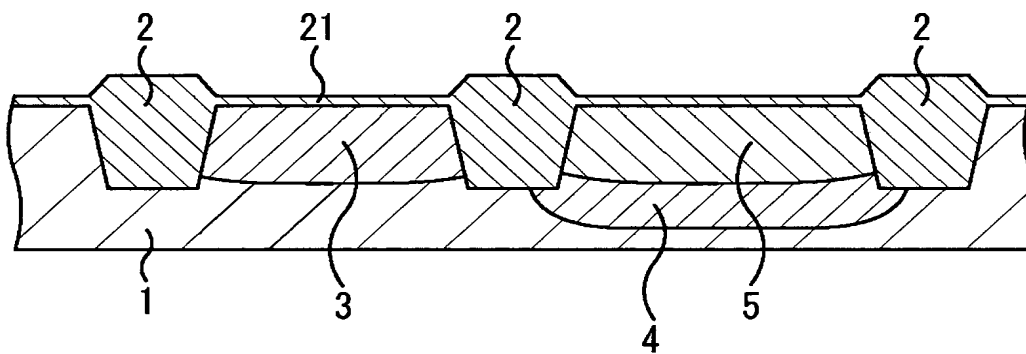


【図 5】

(a) 11コア

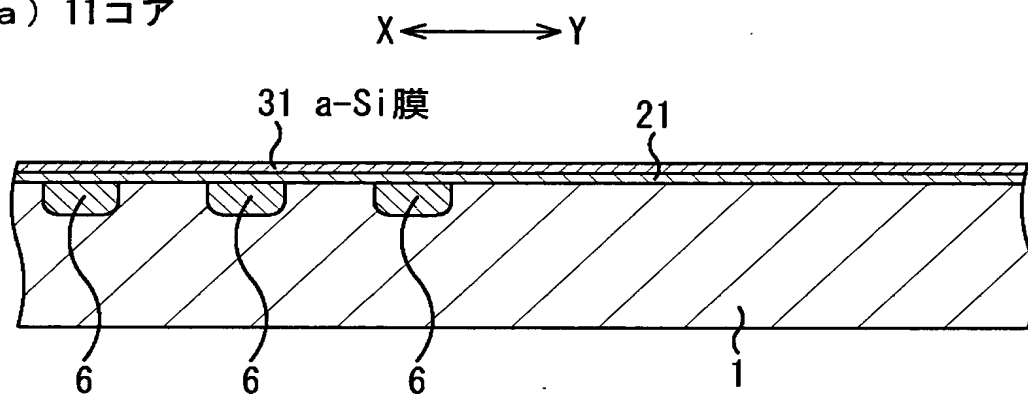


(b) 12周边

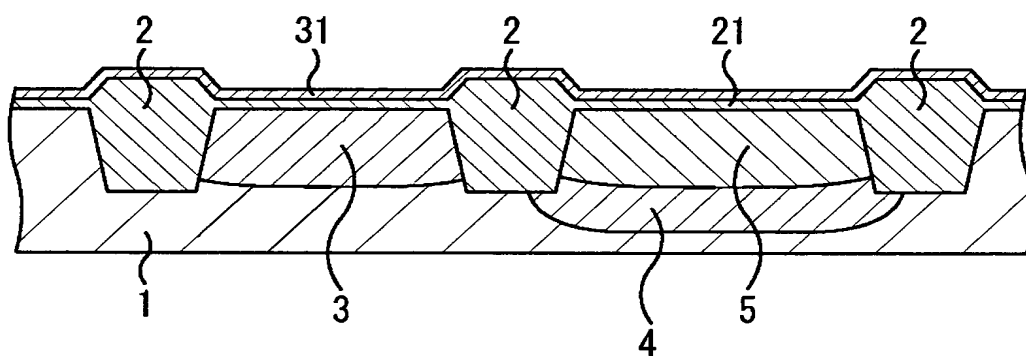


【図 6】

(a) 11コア

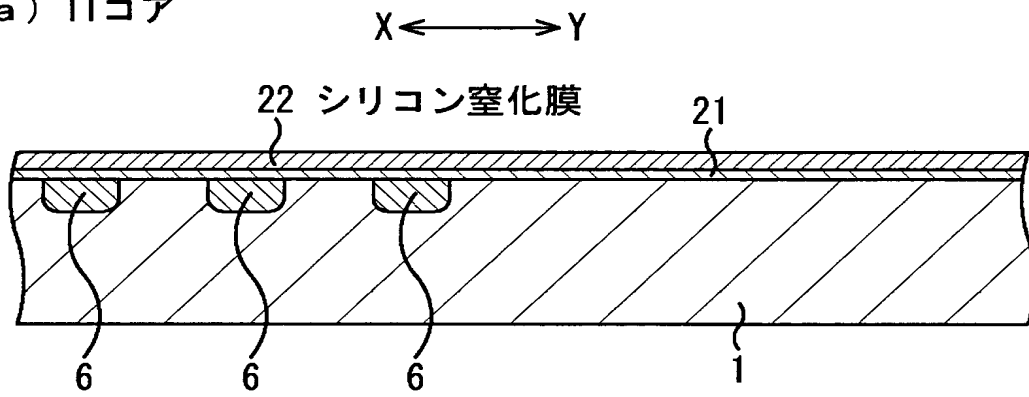


(b) 12周辺

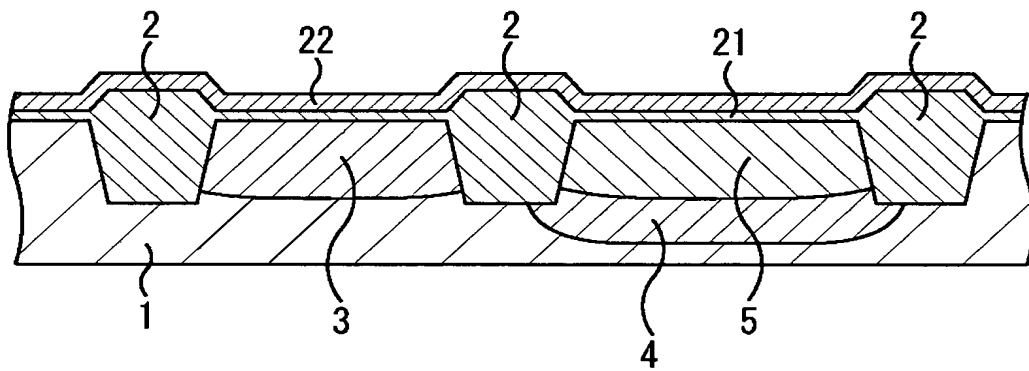


【図 7】

(a) 11コア

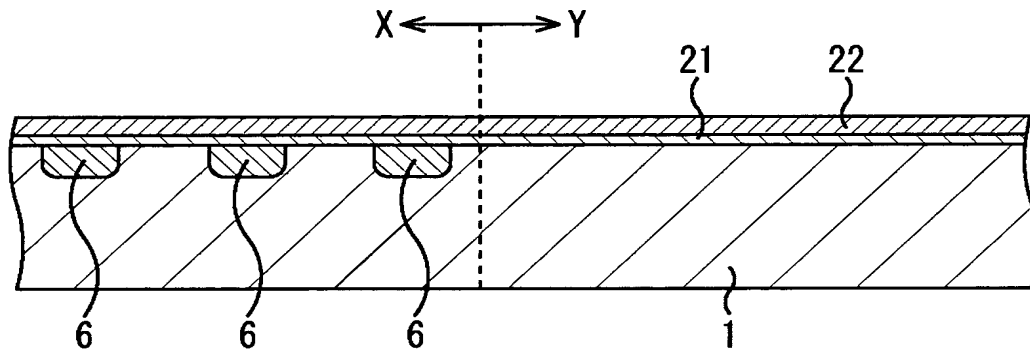


(b) 12周辺

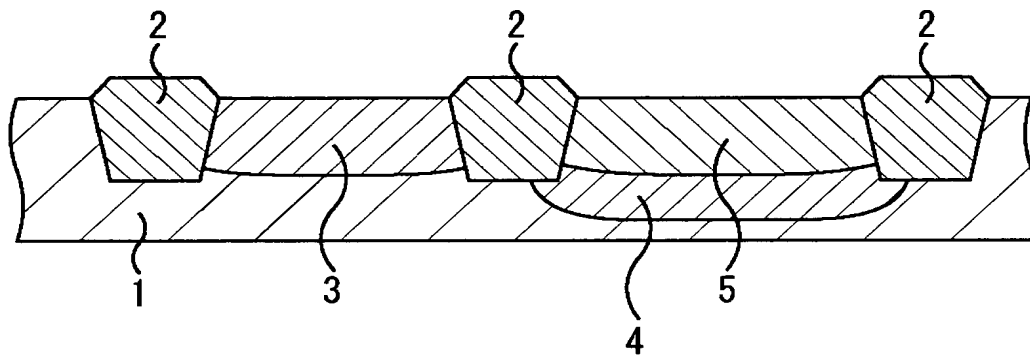


【図 8】

(a) 11コア

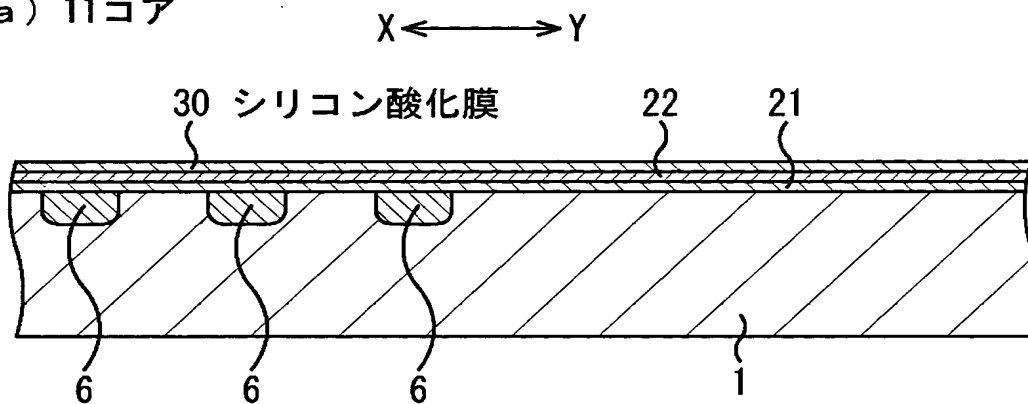


(b) 12周辺

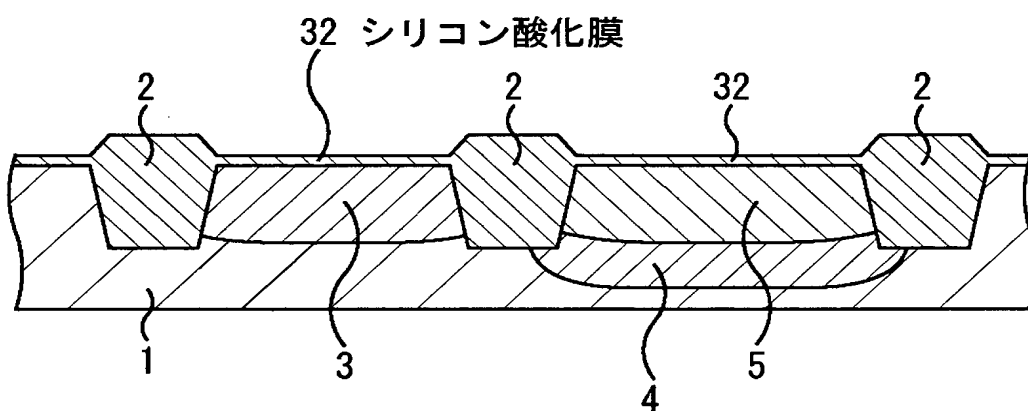


【図9】

(a) 11コア

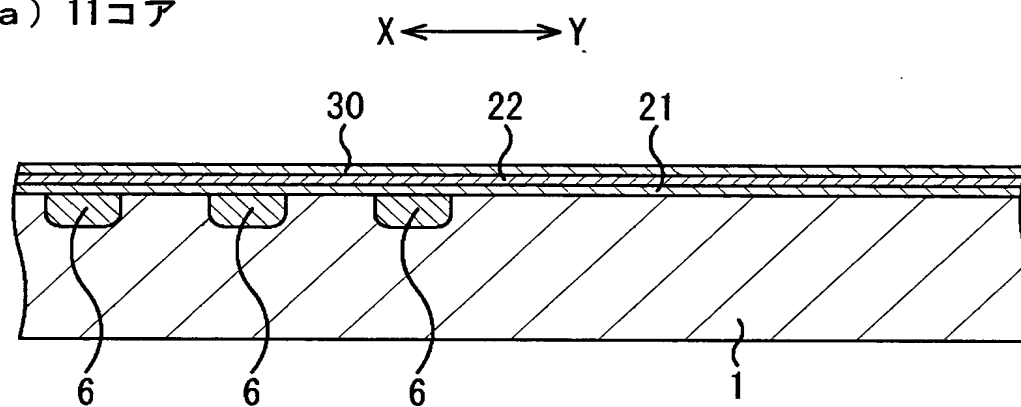


(b) 12周辺

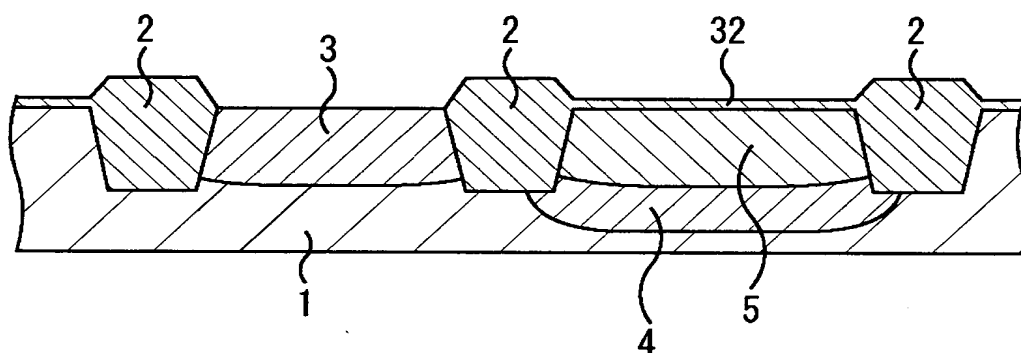


【図 1 0】

(a) 11コア

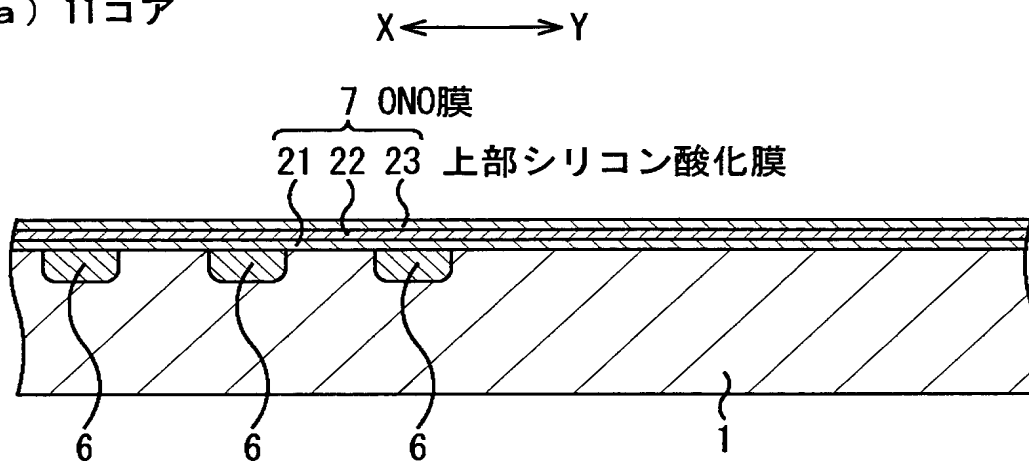


(b) 12周辺

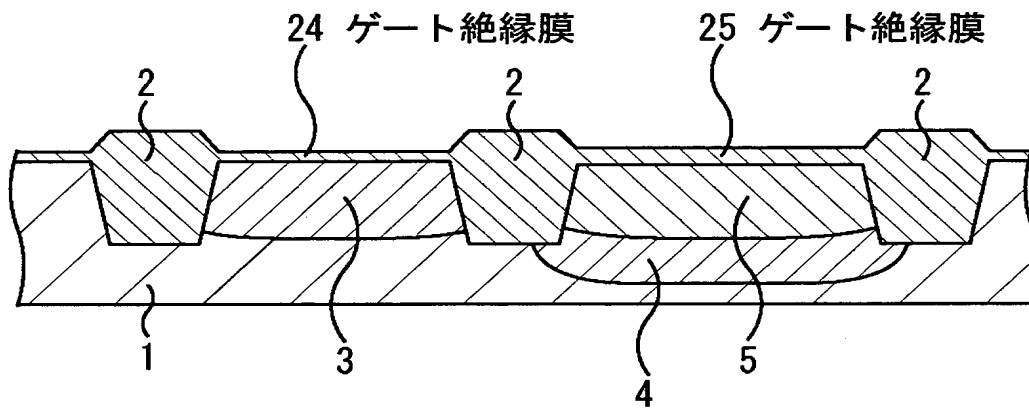


【図11】

(a) 11コア

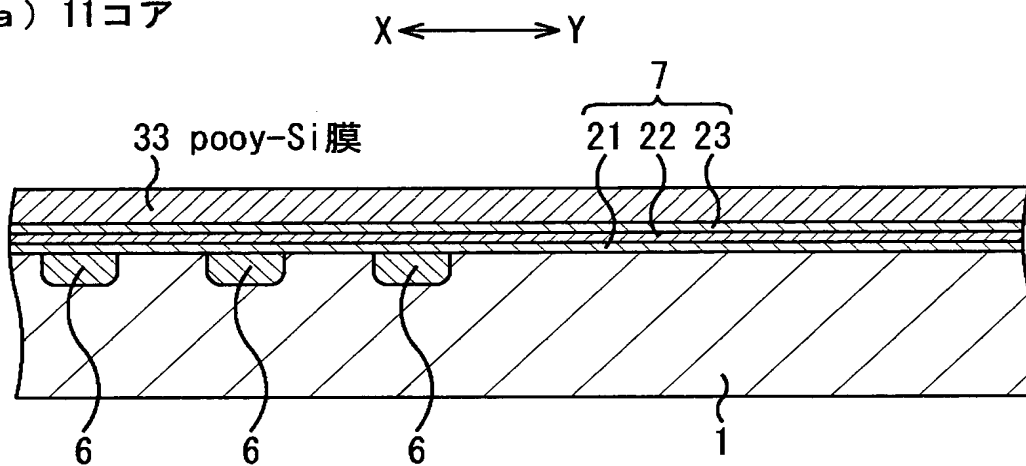


(b) 12周辺

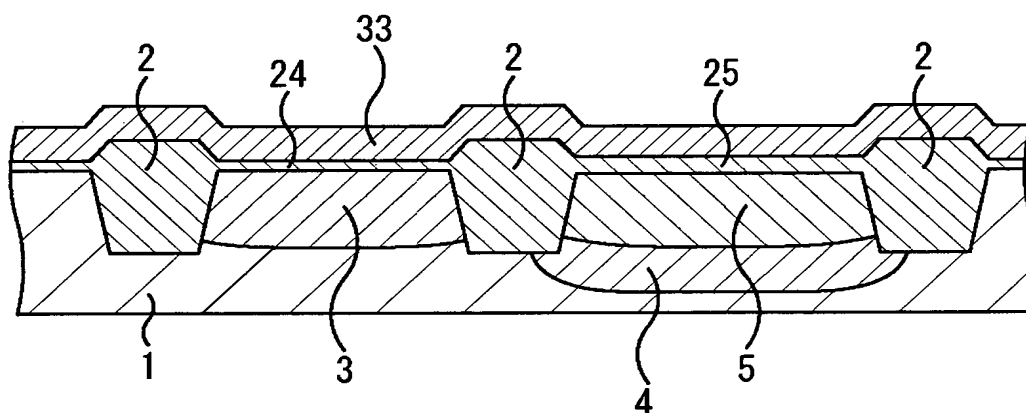


【図12】

(a) 11コア

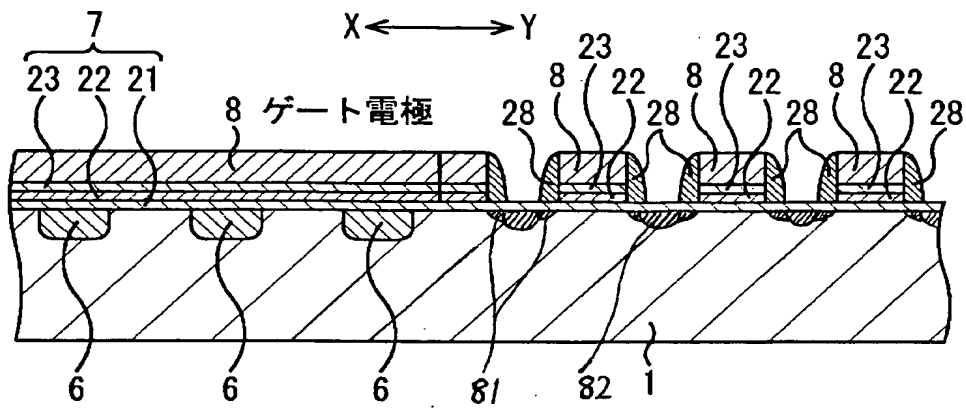


(b) 12周辺

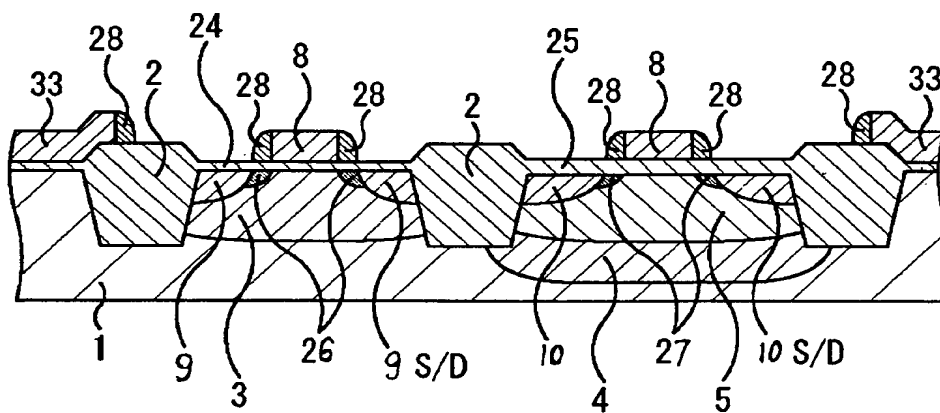


【図13】

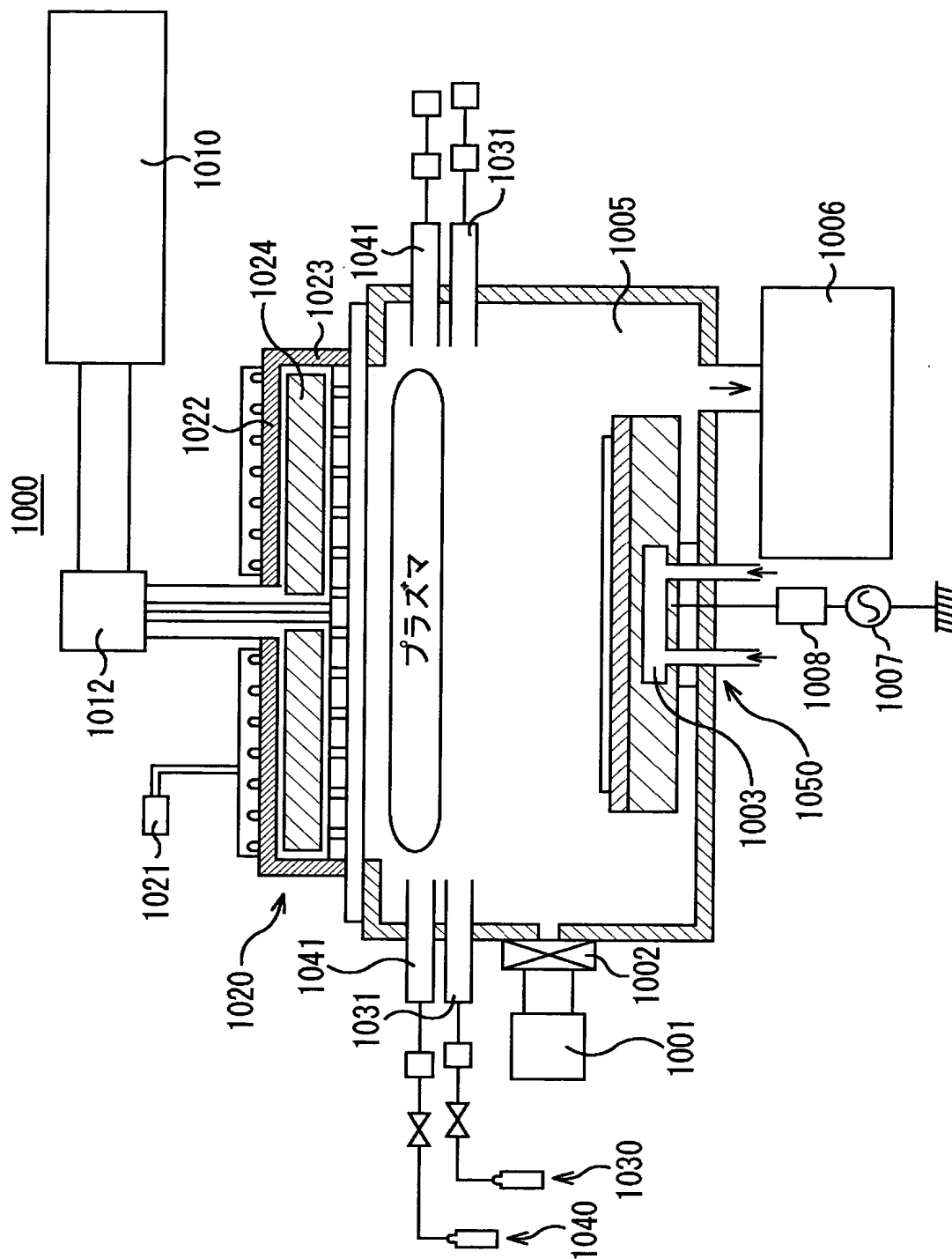
(a) 11コア



(b) 12周辺

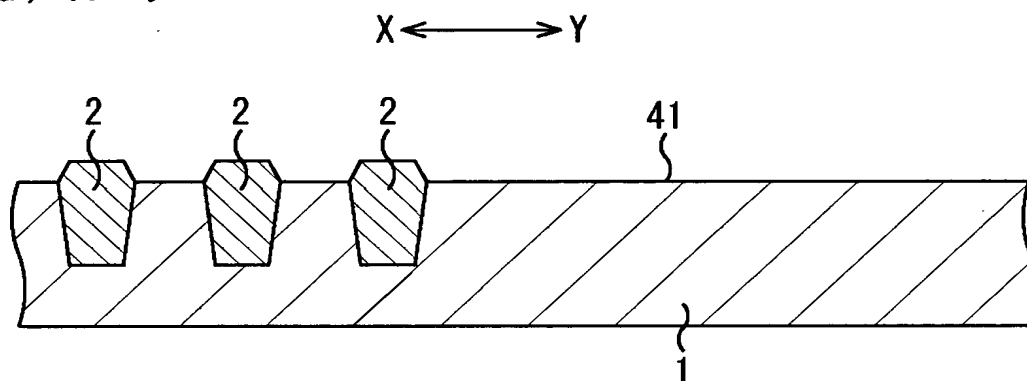


【図 14】

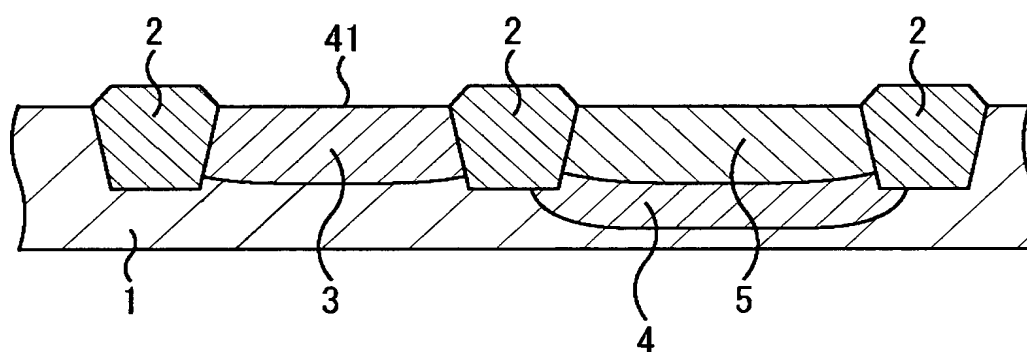


【図 1 5】

(a) 11コア



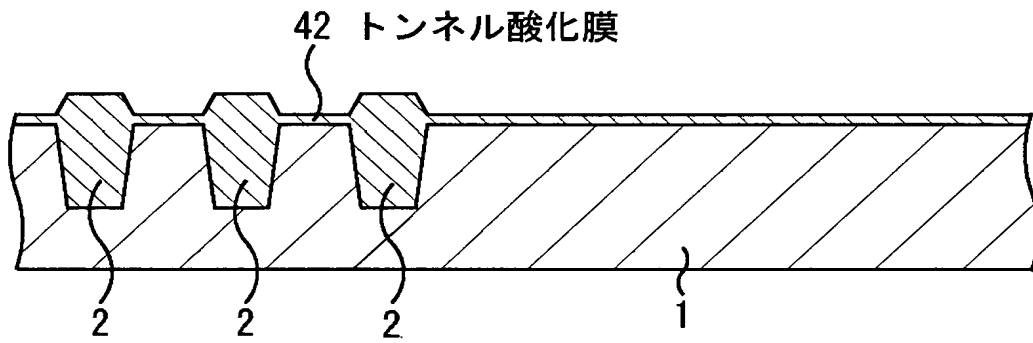
(b) 12周辺



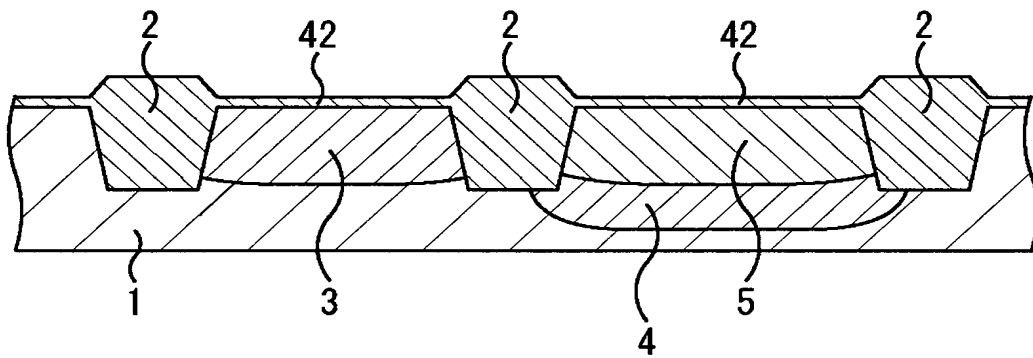
【図16】

(a) 11コア

X ← → Y

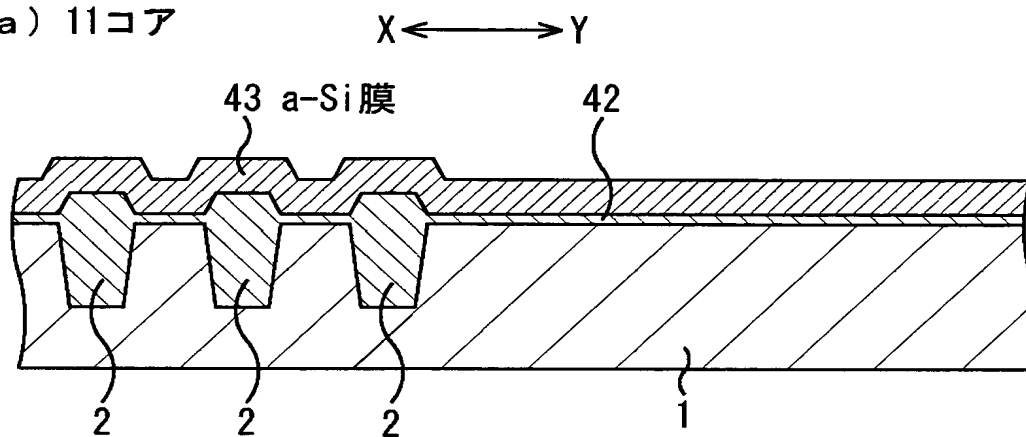


(b) 12周辺

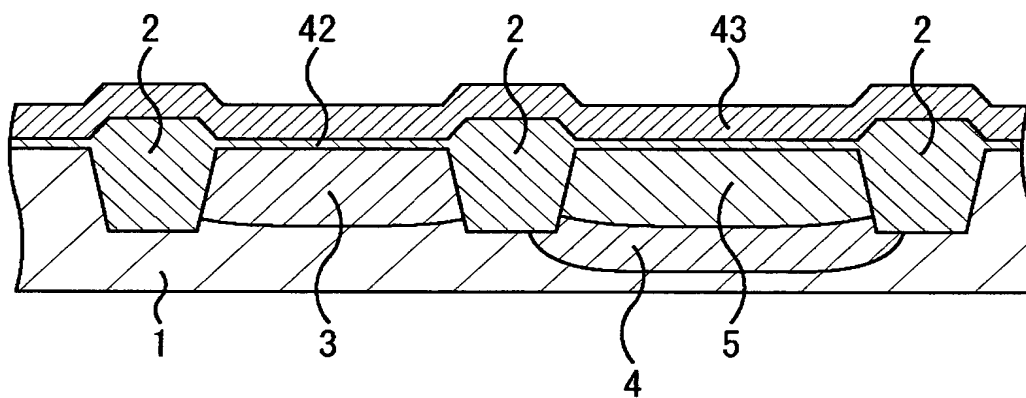


【図 1 7】

(a) 11コア



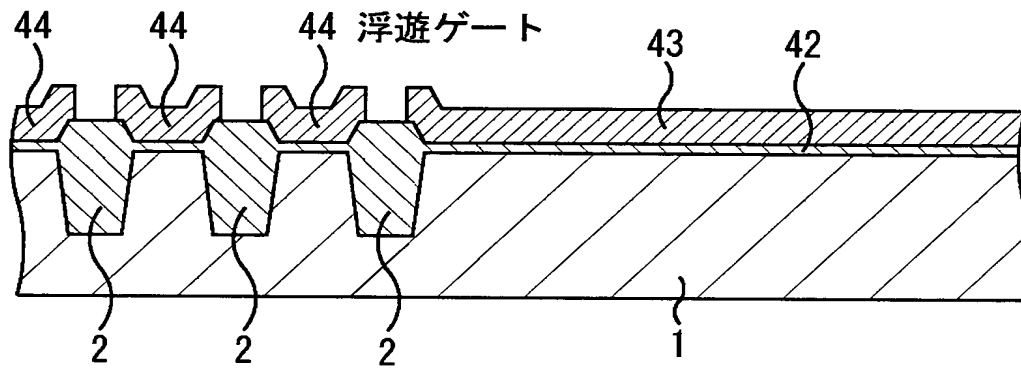
(b) 12周辺



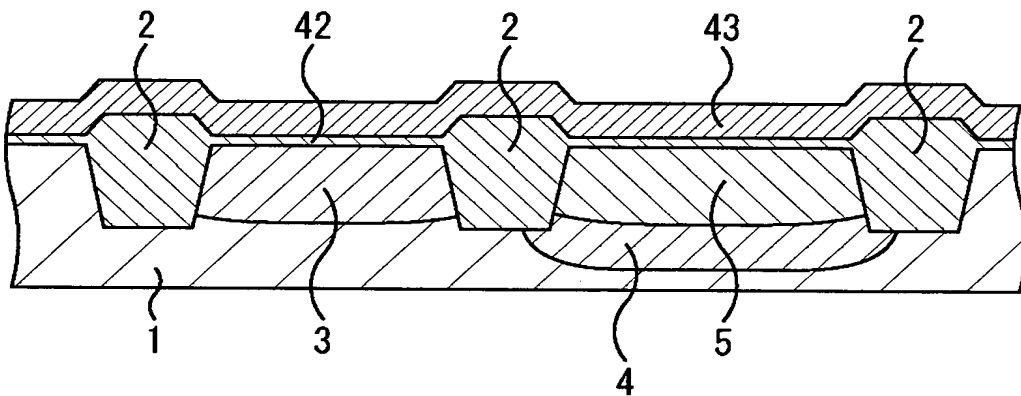
【図 1 8】

(a) 11コア

X ← → Y

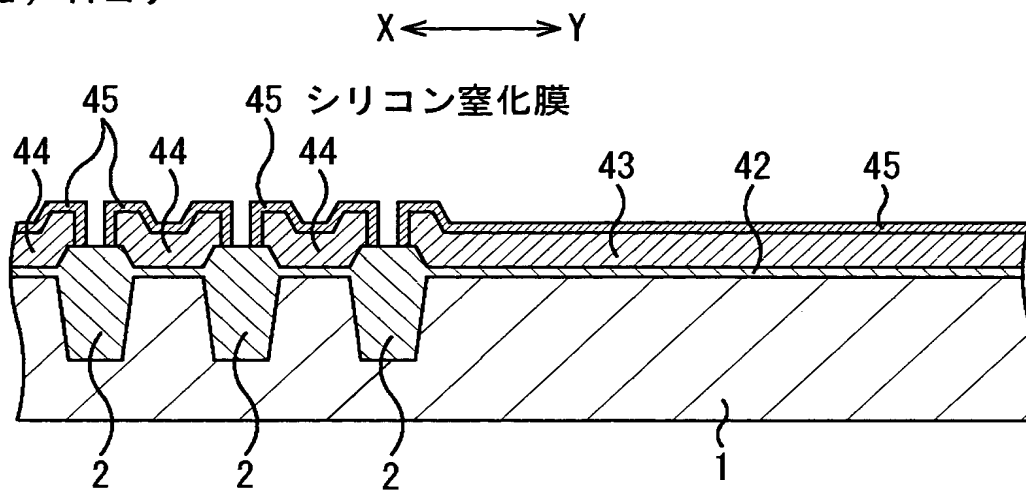


(b) 12周辺

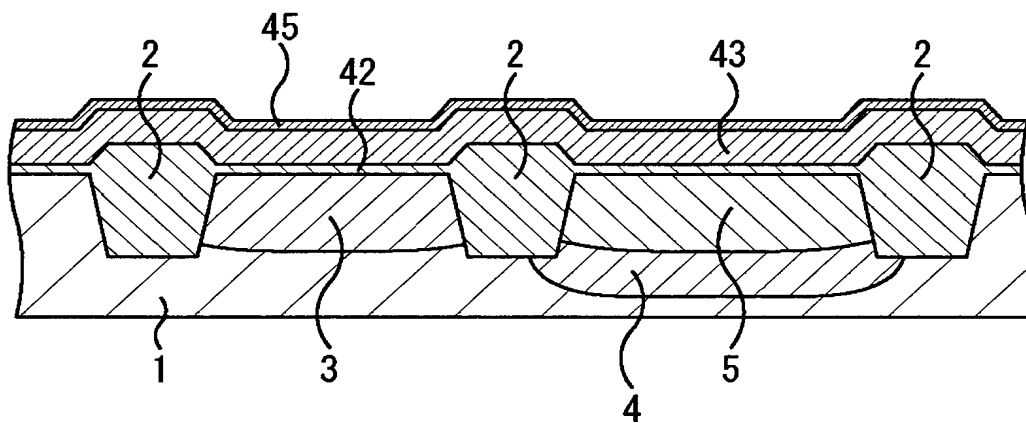


【図 1 9】

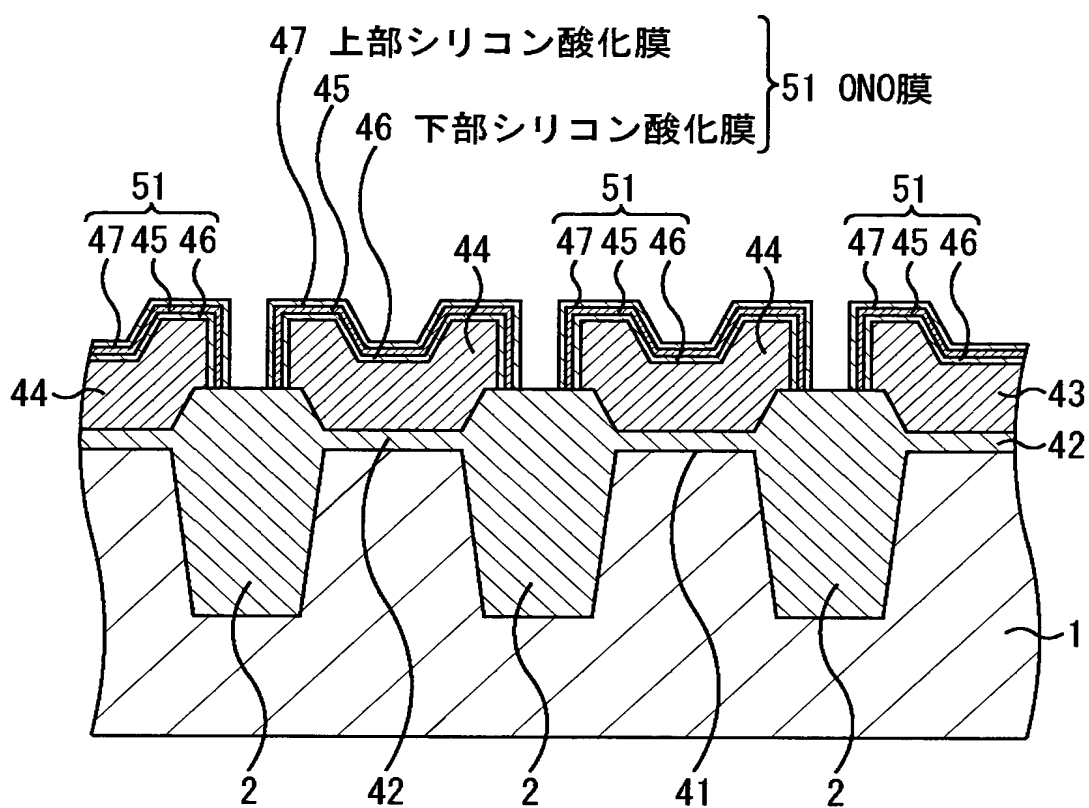
(a) 11コア



(b) 12周辺

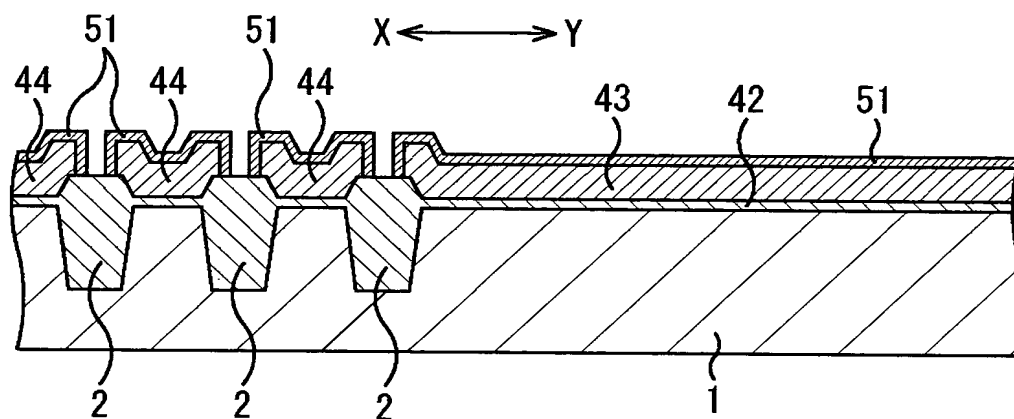


【図 2 0】

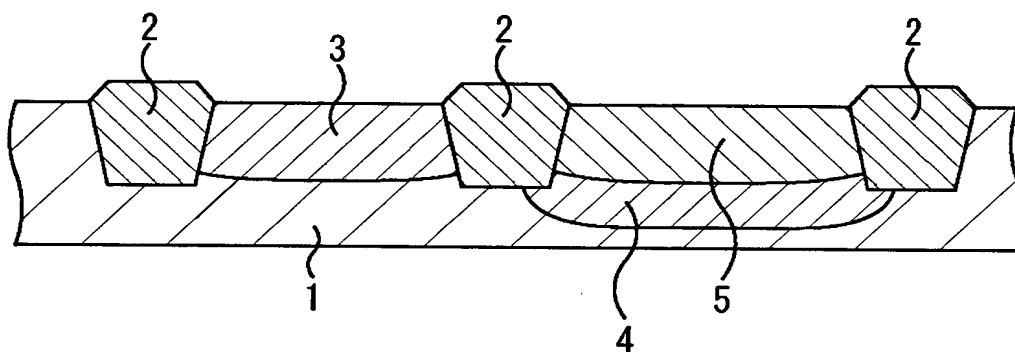


【図 2 1】

(a) 11コア

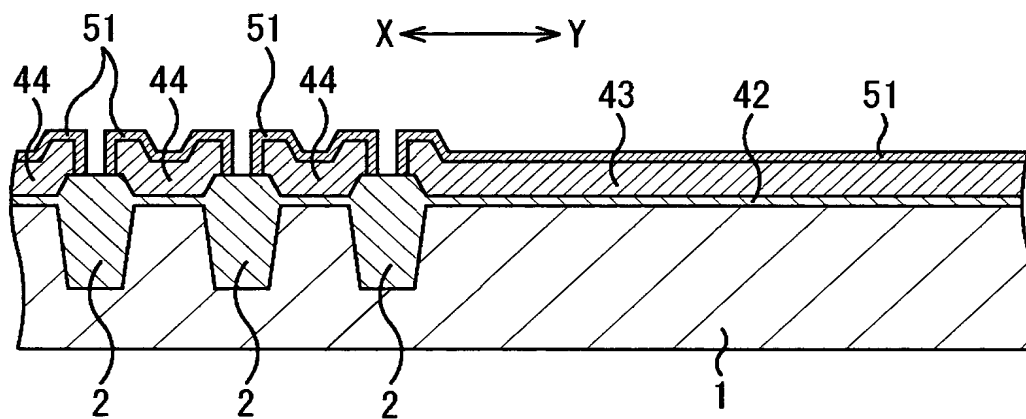


(b) 12周辺

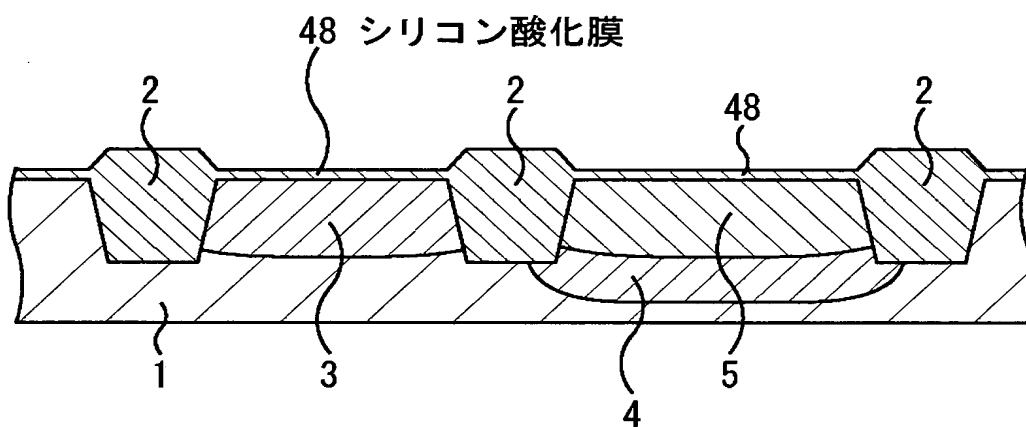


【図 2 2】

(a) 11コア

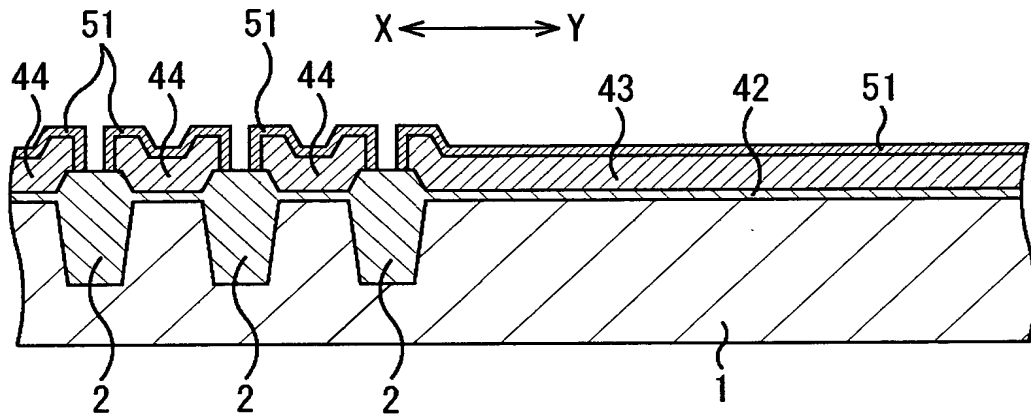


(b) 12周辺

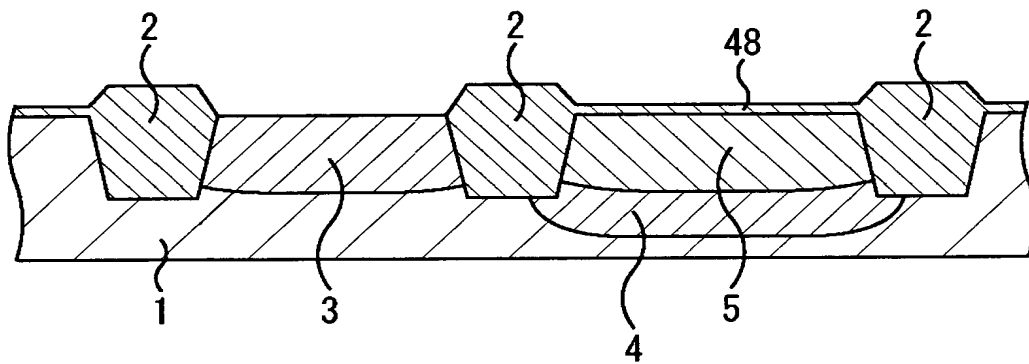


【図 2 3】

(a) 11コア

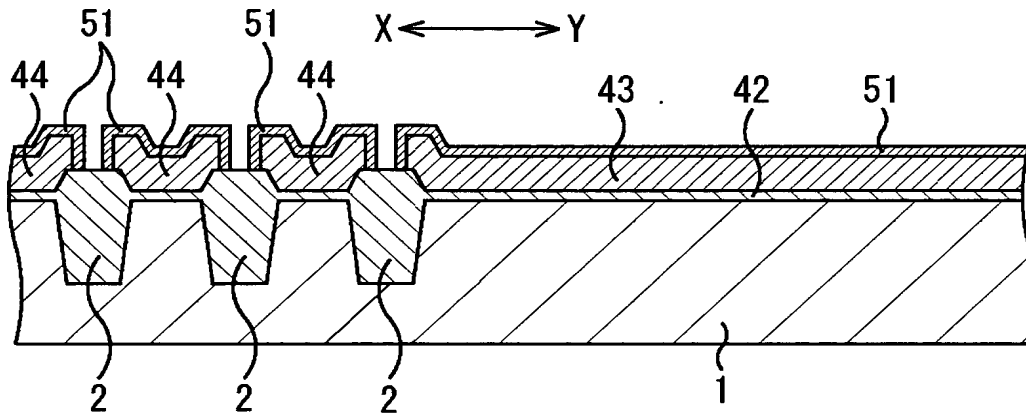


(b) 12周辺

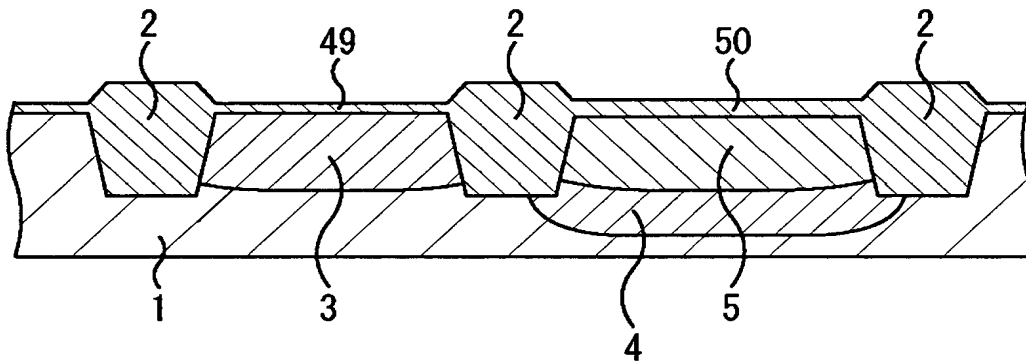


【図 2 4】

(a) 11コア

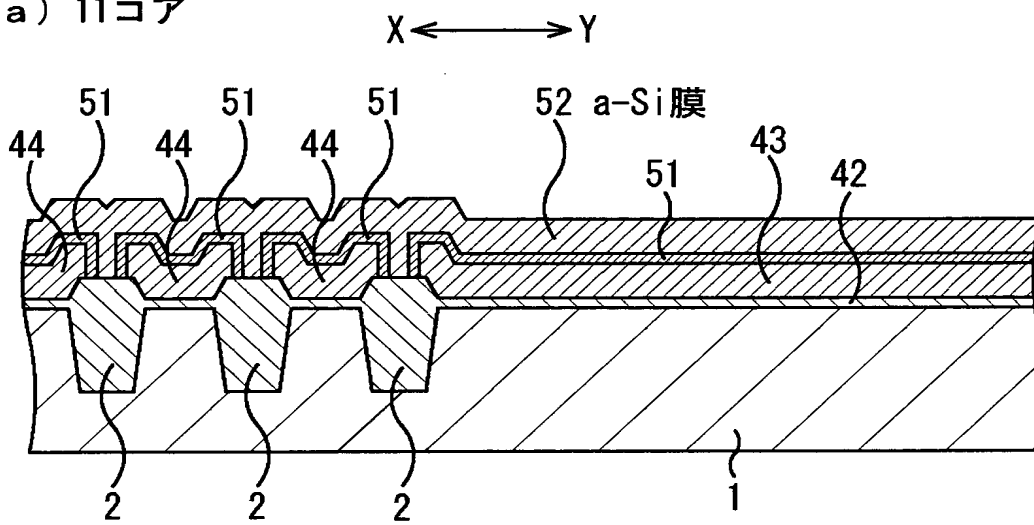


(b) 12周辺

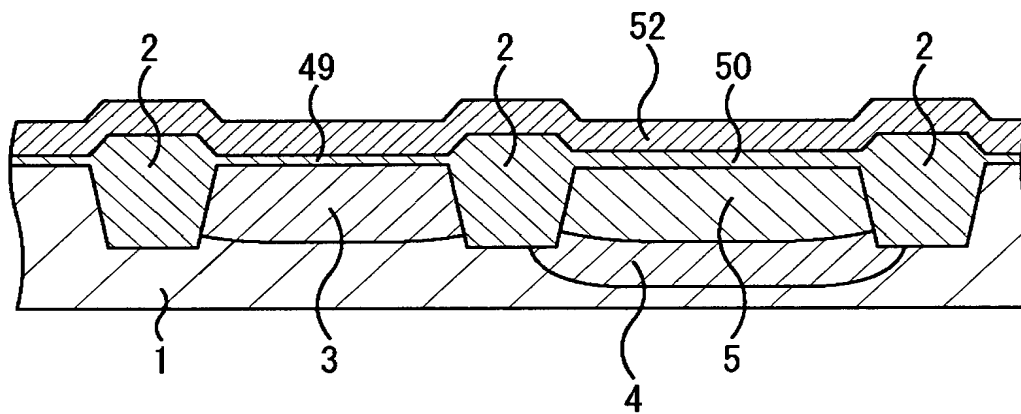


【図 2 5】

(a) 11コア

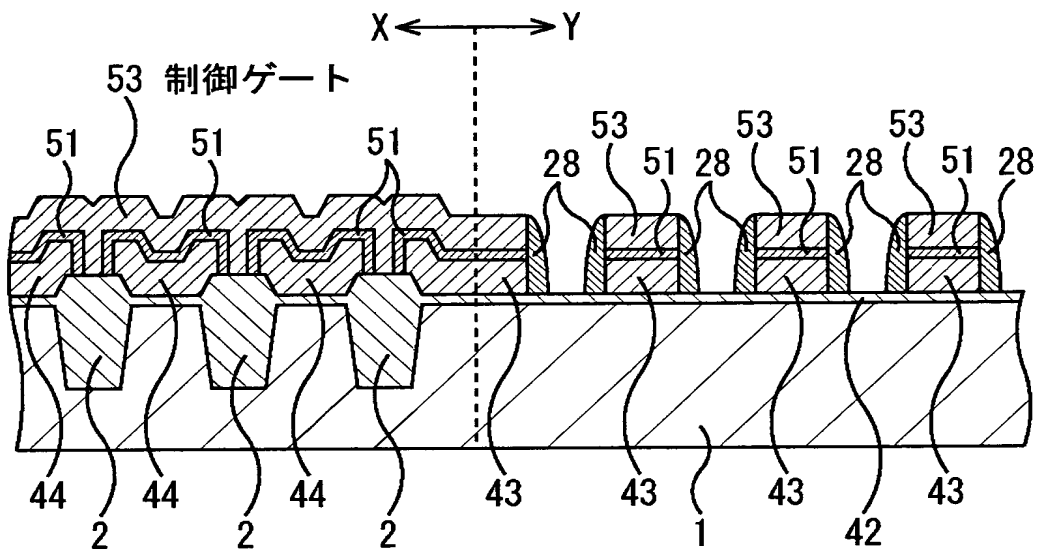


(b) 12周辺

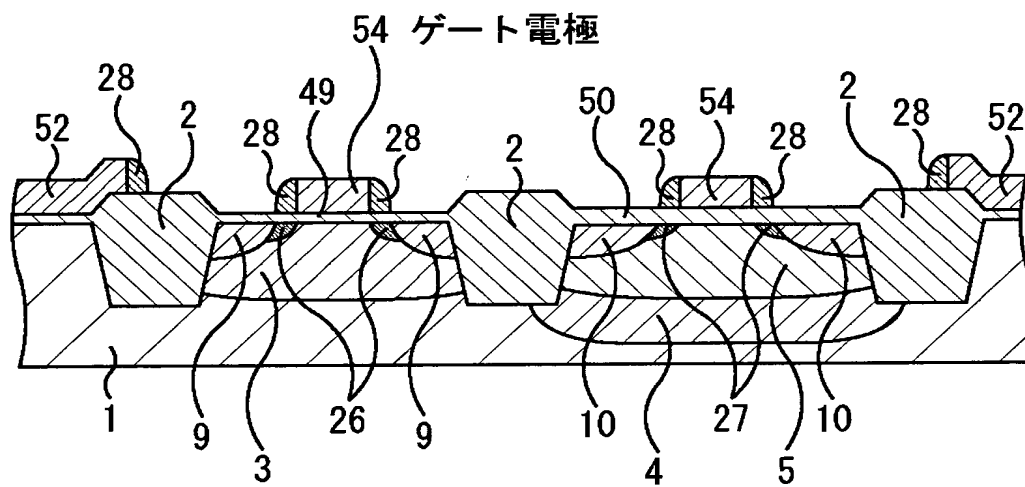


【図 26】

(a) 11コア

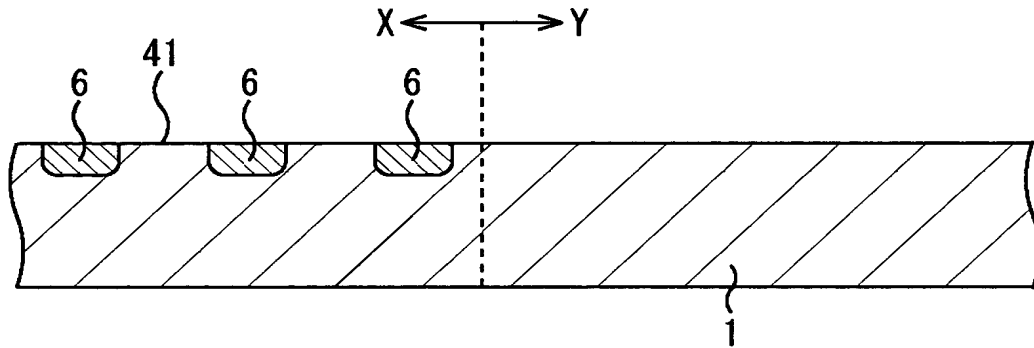


(b) 12周辺

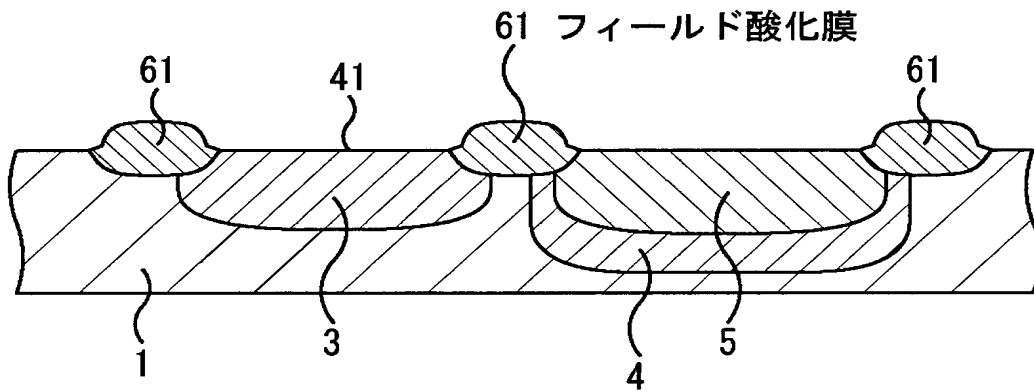


【図 27】

(a) 11コア

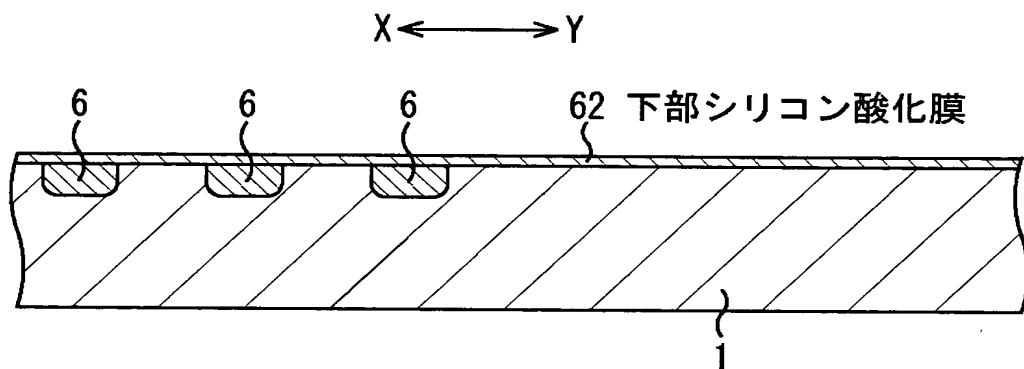


(b) 12周辺

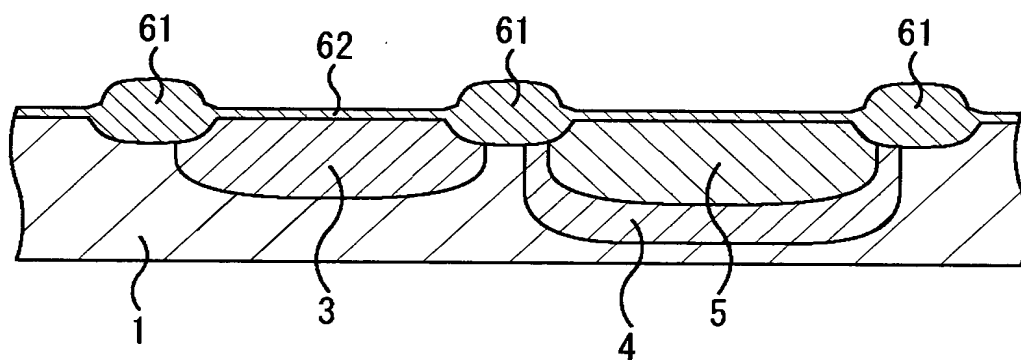


【図 2 8】

(a) 11コア

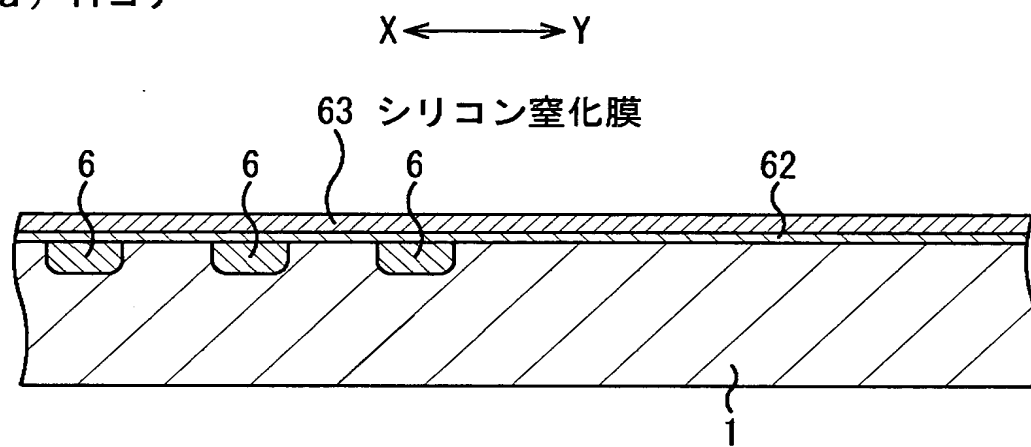


(b) 12周辺

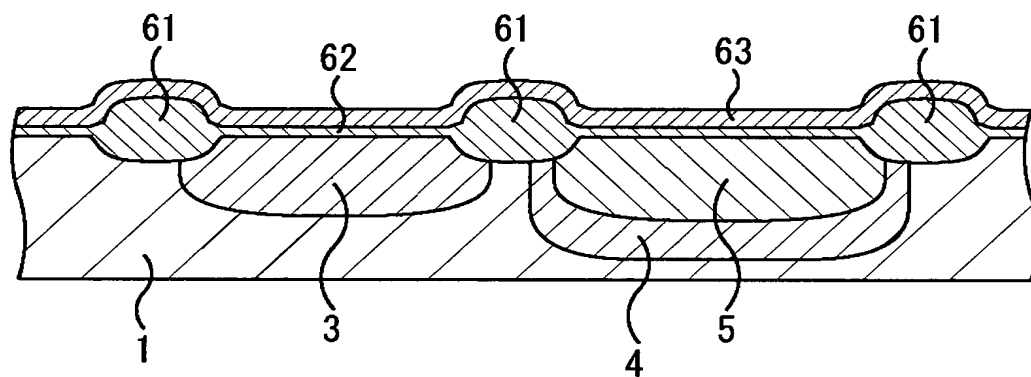


【図 2 9】

(a) 11コア

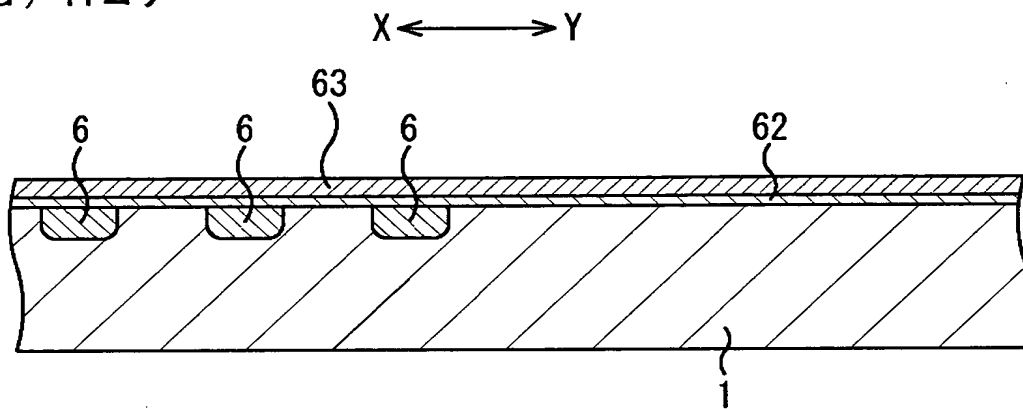


(b) 12周辺

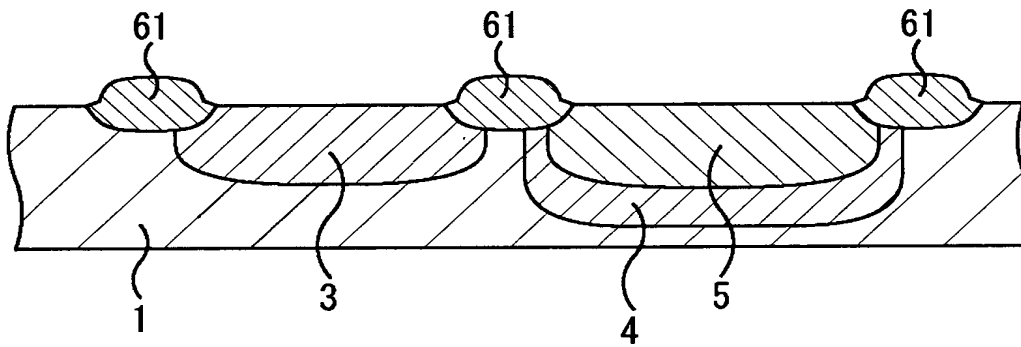


【図 3 0】

(a) 11コア

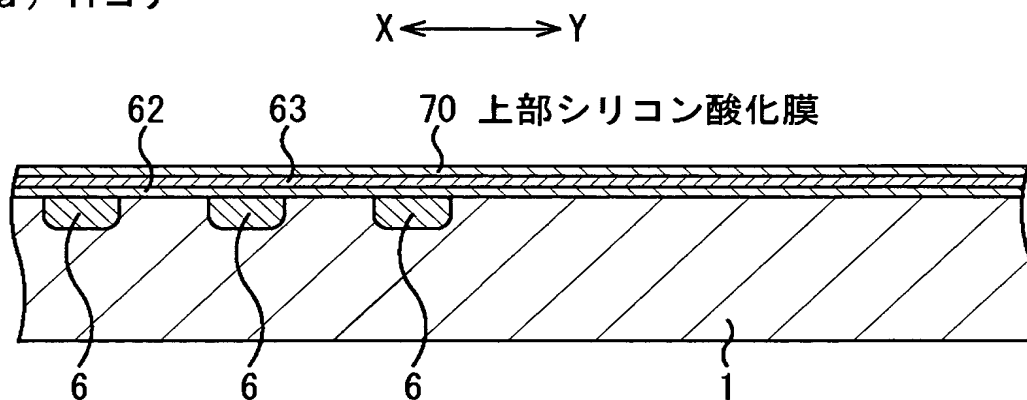


(b) 12周辺

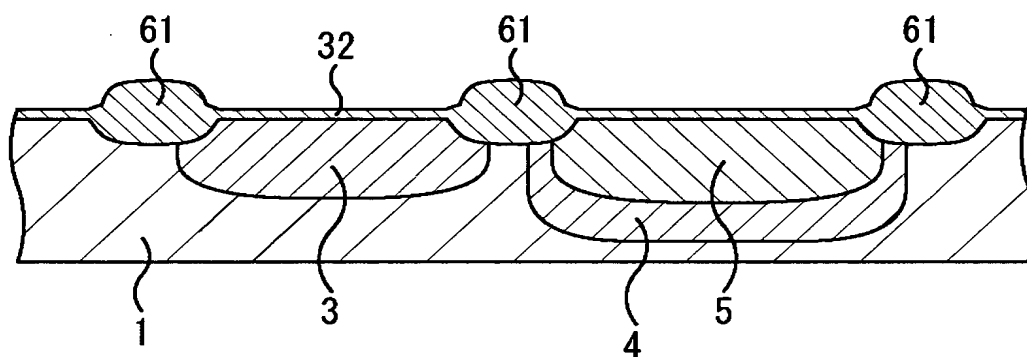


【図 3 1】

(a) 11コア

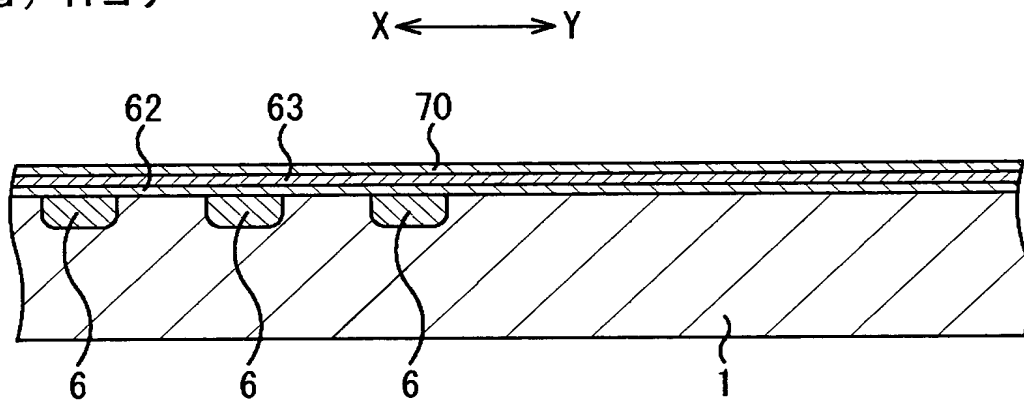


(b) 12周辺

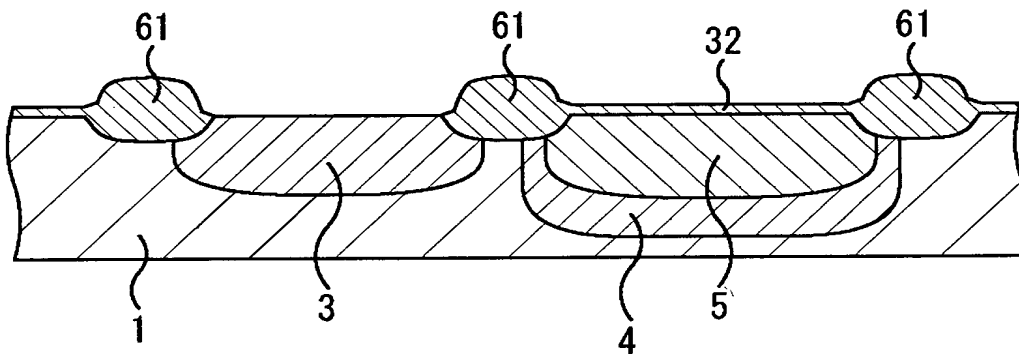


【図 3 2】

(a) 11コア

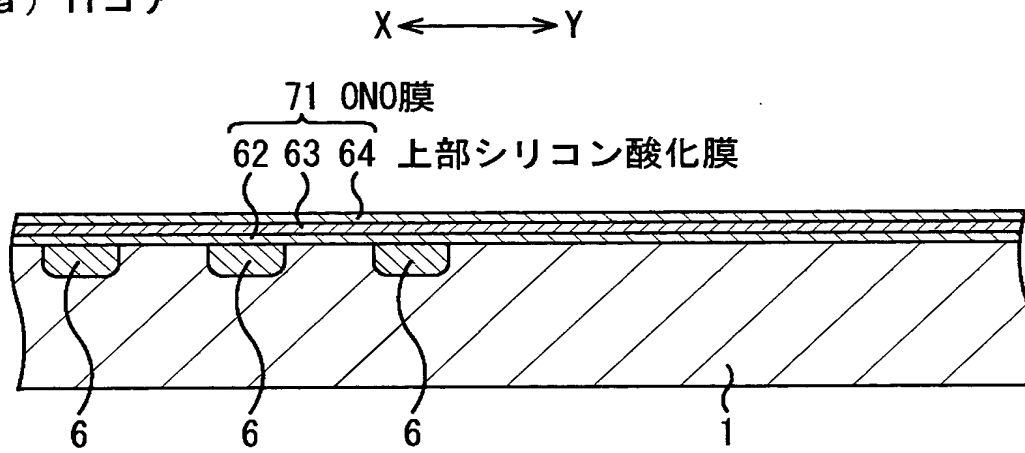


(b) 12周辺

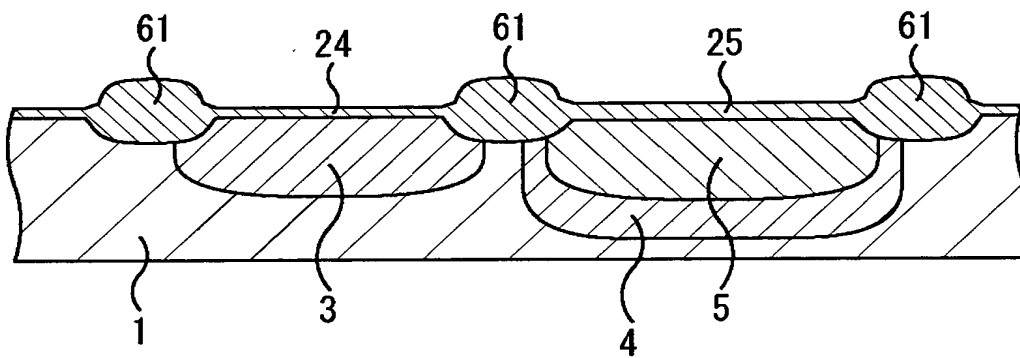


【図 33】

(a) 11コア

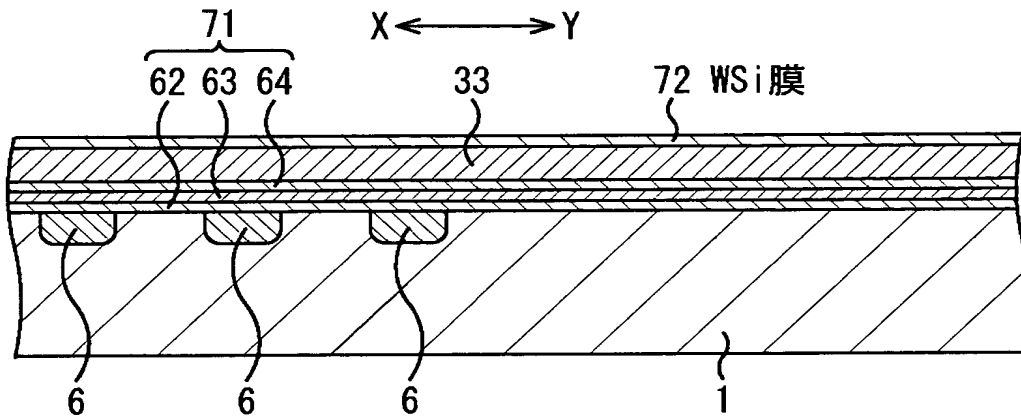


(b) 12周辺

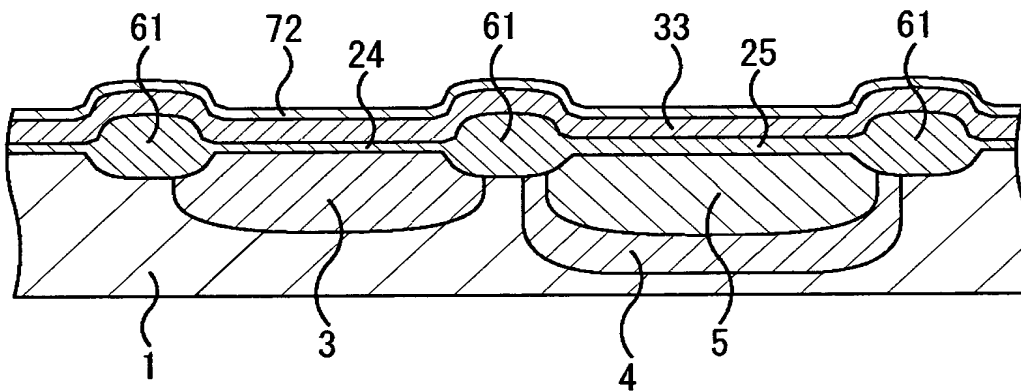


【図34】

(a) 11コア

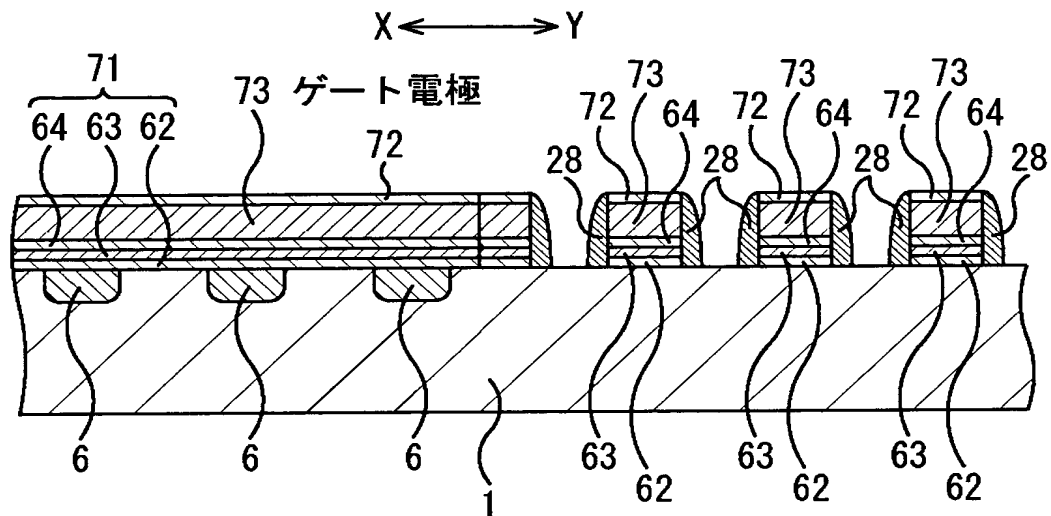


(b) 12周辺

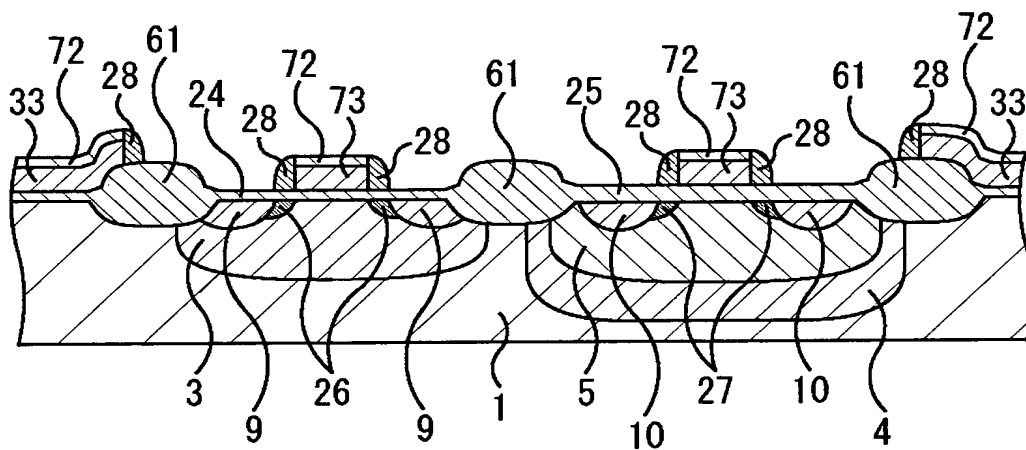


【図 35】

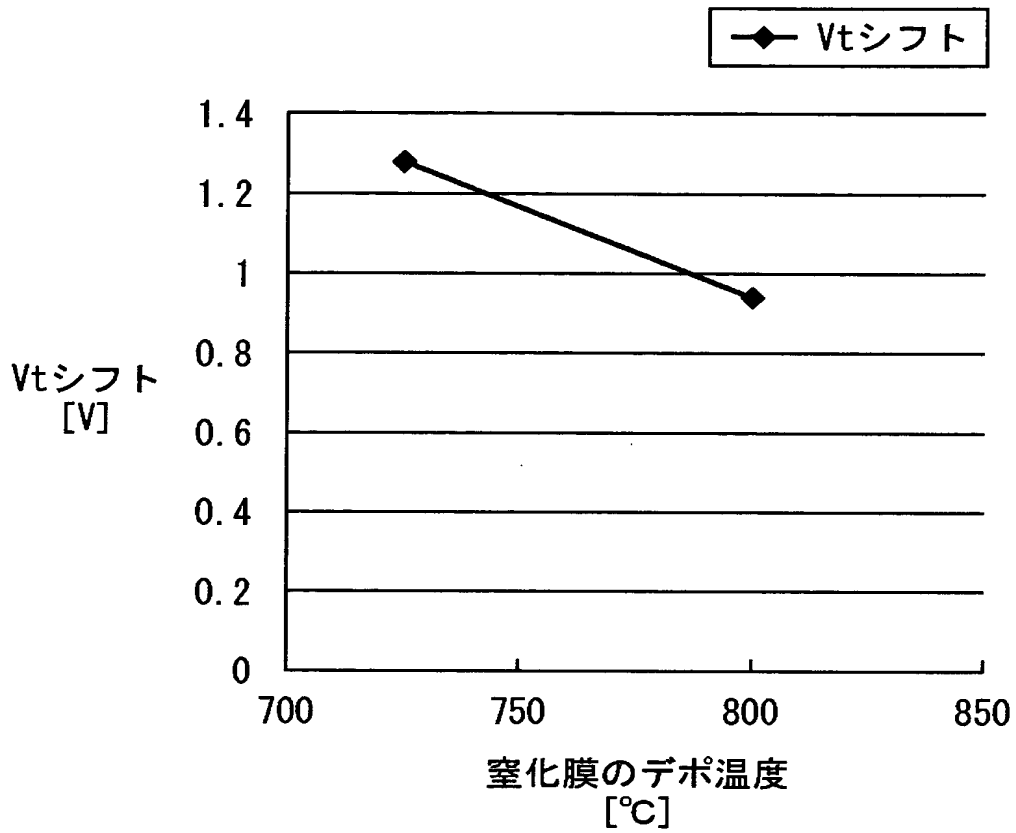
(a) 11コア



(b) 12周辺



【図 3 6】



【書類名】 要約書

【要約】

【課題】 ON膜やONO膜等の多層絶縁膜を低温で高品質に形成し、信頼性の高い半導体記憶装置及び製造方法を提供する。

【解決手段】 シリコン領域101上に下部シリコン酸化膜102を形成した後、例えば熱CVD法により下部シリコン酸化膜102上にシリコン膜103を形成する。続いて、シリコン膜103をプラズマ窒化法により完全に窒化し、シリコン窒化膜104に置き換える。続いて、シリコン窒化膜104の表層をプラズマ酸化法により酸化し、当該表層を上部シリコン酸化膜105に置き換え、下部シリコン酸化膜102、シリコン窒化膜104、及び上部シリコン酸化膜105からなる多層絶縁膜であるONO膜111を形成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [5 9 6 1 8 0 1 2 4]

1. 変更年月日 1 9 9 6 年 1 2 月 1 3 日

[変更理由] 新規登録

住 所 福島県会津若松市門田町工業団地 6 番

氏 名 富士通エイ・エム・ディ・セミコンダクタ株式会社